



Hi309a

硬件设计指南

文档版本 02

发布日期 2025-11-27

版权所有 © 海思技术有限公司2026。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为海思技术有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

海思技术有限公司

地址：上海市青浦区虹桥港路2号101室 邮编：201721

网址：<https://www.hisilicon.com/cn/>

客户服务邮箱：support@hisilicon.com



前言

概述

本文档主要介绍Hi309a芯片硬件方面的内容，主要包括硬件管脚描述、时钟、复位、电源、接口硬件设计、时序参数、电气特性、封装等。

读者对象

本文档主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
 危险	表示如不可避免则将会导致死亡或严重伤害的具有高等级风险的危害。
 警告	表示如不可避免则可能导致死亡或严重伤害的具有中等级风险的危害。
 注意	表示如不可避免则可能导致轻微或中度伤害的具有低等级风险的危害。
 须知	用于传递设备或环境安全警示信息。如不可避免则可能会导致设备损坏、数据丢失、设备性能降低或其他不可预知的结果。 “须知”不涉及人身伤害。
 说明	对正文中重点信息的补充说明。 “说明”不是安全警示信息，不涉及人身、设备及环境伤害信息。



数值单位约定

数据容量、频率、数据速率等的表达方式说明如下。

类别	符号	对应的数值
数据容量（如RAM容量）	1K	1024
	1M	1,048,576
	1G	1,073,741,824
频率、数据速率等	1k	1000
	1M	1,000,000
	1G	1,000,000,000

地址、数据的表达方式说明如下。

符号	举例	说明
0x	0xFE04、0x18	用16进制表示的数据值、地址值。
0b	0b000、0b00 00000000	表示2进制的数据值以及2进制序列（寄存器描述中除外）。
X	00X、1XX	在数据的表达方式中，X表示0或1。 例如：00X表示000或001； 1XX表示100、101、110或111。

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2025-10-30	01	第1次正式版本发布。
2025-11-27	02	第2次正式版本发布。 优化全文描述。



手册使用约束

须知

应用芯片时，需按照芯片手册注明的功能、性能、配置步骤等信息进行软硬件开发，未按手册注明的信息进行操作，可能会出现不可预知风险。任何不按手册注明的信息进行的应用需得到芯片SE或者FAE书面认可才能进行。切勿依商用器件经验、海思其他器件经验推测，否则后果自行承担，谢谢！



目 录

前 言..... i

手册使用约束..... i

1 管脚描述..... 1

 1.1 管脚类型和电平类型说明..... 1

 1.2 驱动能力说明..... 2

 1.3 内部上下拉阻值说明..... 3

 1.4 Hi309a 管脚描述..... 3

 1.4.1 管脚分布图..... 4

 1.4.2 管脚数量统计..... 6

 1.4.3 管脚详细描述..... 6

 1.4.3.1 系统时钟接口..... 6

 1.4.3.2 同步以太接口接口..... 7

 1.4.3.3 复位接口..... 7

 1.4.3.4 模式控制管脚..... 9

 1.4.3.5 特殊上电控制字..... 10

 1.4.3.6 DDR 接口管脚列表..... 12

 1.4.3.7 SerDes 接口管脚列表..... 22

 1.4.3.8 RGMII 接口管脚列表..... 26

 1.4.3.9 MII 接口管脚列表..... 27

 1.4.3.10 Local Bus 接口管脚列表..... 28

 1.4.3.11 SFC 接口管脚列表..... 33

 1.4.3.12 NANDC 接口管脚列表..... 34

 1.4.3.13 EMMC 接口管脚列表..... 36

 1.4.3.14 SDC 接口管脚列表..... 37

 1.4.3.15 USB2.0 接口管脚列表..... 38

 1.4.3.16 JTAG 接口管脚列表..... 38

 1.4.3.17 UART 接口管脚列表..... 39

 1.4.3.18 ESPI 接口管脚列表..... 40

 1.4.3.19 SPI 接口管脚列表..... 41

 1.4.3.20 I2C 接口管脚列表..... 42

 1.4.3.21 RTC 接口管脚列表..... 43

 1.4.3.22 PMBUS 接口管脚列表..... 44



1.4.3.23 MDIO 接口管脚列表.....	45
1.4.3.24 TDM 接口管脚列表.....	46
1.4.3.25 CodecTDM 接口管脚列表.....	47
1.4.3.26 CANBUS 接口管脚列表.....	47
1.4.3.27 DyingGasp 接口管脚列表.....	48
1.4.3.28 DCM 接口管脚列表.....	49
1.4.3.29 HISS 接口管脚列表.....	49
1.4.3.30 SATA/ETH LED 接口管脚列表.....	51
1.4.3.31 GPIO 接口管脚列表.....	51
1.4.3.32 INT 管脚列表.....	63
1.4.3.33 probe 管脚列表.....	64
1.4.3.34 电源地管脚列表.....	66
1.4.4 复用管脚列表.....	69
2 时钟.....	92
2.1 概述.....	92
2.2 时钟接口信号描述.....	92
2.3 时钟配置管脚.....	93
2.4 时钟电气参数.....	94
2.4.1 SYS_CLK 时钟电气参数.....	94
2.4.2 TCK 时钟电气参数.....	94
2.4.3 RTC_CLKIN 时钟电气参数.....	95
2.4.4 网络同步以太网恢复时钟输出电气参数.....	95
2.4.5 SERDES 参考时钟电气参数.....	95
2.5 单板设计建议.....	96
2.6 应用约束.....	96
3 复位.....	97
3.1 概述.....	97
3.1.1 Hi309a 网络场景下支持以下复位类型.....	97
3.2 复位接口信号.....	97
3.2.1 复位接口信号.....	97
3.3 复位类型.....	99
3.3.1 芯片上电复位与非上电复位整体时序图.....	99
3.3.2 芯片上电复位.....	100
3.3.3 网络外狗场景芯片非上电复位.....	100
3.3.3.1 外部复位源输入.....	100
3.3.3.2 全局软复位.....	101
3.3.3.3 内部狗溢出复位.....	101
3.3.3.4 芯片非上电复位流程.....	101
3.3.3.5 CPU 系统软复位.....	102
3.3.4 网络内狗场景芯片非上电复位.....	102
3.3.4.1 外部复位源输入.....	102
3.3.4.2 全局软复位.....	103



3.3.4.3 内部狗溢出复位.....	103
3.3.4.4 芯片非上电复位流程.....	104
3.3.4.5 CPU 系统软复位.....	104
3.4 关键电路说明.....	105
3.4.1 逻辑喂狗.....	105
3.4.2 双 BIOS（网络场景）.....	106
3.4.3 RST_OUT_N（网络场景）.....	106
3.5 复位约束.....	107
4 电源与功耗.....	108
4.1 概述.....	108
4.2 Hi309a 极限电源电压.....	108
4.3 Hi309a 推荐电源电压.....	109
4.4 上下电时序.....	110
4.4.1 Hi309a 上电时序.....	110
4.4.2 理论功耗.....	111
4.4.3 实测功耗.....	112
4.5 应用约束.....	112
5 接口描述.....	113
5.1 DDR 接口.....	113
5.1.1 概述.....	113
5.1.2 接口信号描述.....	117
5.1.3 接口时序.....	117
5.1.4 电路设计建议.....	117
5.1.5 不使用管脚处理方式.....	118
5.1.6 应用约束.....	118
5.2 SerDes 接口.....	119
5.2.1 概述.....	119
5.2.2 接口信号描述.....	119
5.2.3 复用关系.....	119
5.2.4 电路设计建议.....	121
5.2.5 不使用管脚处理方式.....	122
5.2.6 眼图要求.....	122
5.2.6.1 QSGMII 的眼图示意图.....	123
5.2.6.2 SGMII 和 SGMII2.5G 示意图.....	123
5.2.7 HiLink 参考时钟.....	123
5.2.8 应用约束.....	124
5.3 RGMII/MII/RMII 接口.....	124
5.3.1 概述.....	125
5.3.2 接口信号描述.....	125
5.3.3 接口时序.....	126
5.3.4 电路设计建议.....	130
5.3.5 不使用管脚处理方式.....	130



5.3.6 应用约束.....	130
5.4 Local Bus.....	130
5.4.1 概述.....	131
5.4.2 接口信号描述.....	131
5.4.3 接口时序.....	132
5.4.3.1 Local Bus 时序参数配置.....	132
5.4.3.2 Local Bus 典型时序.....	133
5.4.4 电路设计建议.....	138
5.5 SFC.....	138
5.5.1 概述.....	138
5.5.2 接口信号描述.....	139
5.5.3 接口时序.....	141
5.5.4 电路设计建议.....	142
5.5.5 不使用管脚处理方式.....	142
5.5.6 应用约束.....	142
5.6 NANDC.....	142
5.6.1 概述.....	143
5.6.2 接口信号描述.....	143
5.6.3 接口时序.....	144
5.6.3.1 命令周期（异步 nand）时序.....	144
5.6.3.2 地址周期时序.....	146
5.6.3.3 写数据时序.....	146
5.6.3.4 读数据时序.....	147
5.6.4 电路设计建议.....	148
5.6.5 不使用管脚处理方式.....	148
5.6.6 应用约束.....	149
5.7 EMMC/SD.....	149
5.7.1 概述.....	149
5.7.2 接口信号描述.....	150
5.7.3 接口时序.....	151
5.7.4 电路设计建议.....	153
5.7.5 不使用管脚处理方式.....	153
5.7.6 应用约束.....	153
5.8 USB.....	153
5.8.1 概述.....	153
5.8.2 接口信号描述.....	154
5.8.3 接口时序.....	154
5.8.4 不使用管脚处理方式.....	154
5.8.5 电路设计建议.....	154
5.9 UART.....	154
5.9.1 概述.....	154
5.9.2 接口信号描述.....	155



5.9.3 接口时序.....	156
5.9.4 电路设计建议.....	156
5.10 JTAG.....	157
5.10.1 概述.....	157
5.10.2 接口信号描述.....	157
5.10.3 接口时序.....	158
5.10.4 电路设计建议.....	159
5.11 SPI.....	159
5.11.1 概述.....	159
5.11.2 接口信号描述.....	160
5.11.3 接口时序.....	161
5.11.3.1 SPI 接口时序.....	161
5.11.4 电路设计建议.....	162
5.12 ESPI.....	162
5.12.1 概述.....	163
5.12.2 接口信号描述.....	163
5.12.3 接口时序.....	163
5.12.3.1 ESPI 接口时序（8 线写模式，CRC 不使能，以 32bit 为例）.....	163
5.12.3.2 ESPI 接口时序（8 线读模式，CRC 不使能，以 32bit 为例）.....	164
5.12.3.3 ESPI 接口时序（8 线写模式，CRC 使能，以 32bit 为例）.....	164
5.12.3.4 ESPI 接口时序（8 线读模式，CRC 使能，以 32bit 为例）.....	164
5.12.3.5 ESPI 接口时序（4 线写模式，CRC 不使能，以 32bit 为例）.....	165
5.12.3.6 ESPI 接口时序（4 线读模式，CRC 不使能，以 32bit 为例）.....	165
5.12.3.7 ESPI 接口时序（4 线写模式，CRC 使能，以 32bit 为例）.....	165
5.12.3.8 ESPI 接口时序（4 线读模式，CRC 使能，以 32bit 为例）.....	165
5.12.3.9 ESPI 接口时序要求.....	166
5.13 I2C.....	169
5.13.1 概述.....	170
5.13.2 接口信号描述.....	170
5.13.3 接口时序.....	171
5.13.4 电路设计建议.....	172
5.14 RTC.....	172
5.14.1 概述.....	172
5.14.2 接口信号描述.....	172
5.14.3 接口时序.....	173
5.14.3.1 1PPS+I2C.....	173
5.14.3.2 1PPS+TOD.....	173
5.14.4 电路设计建议.....	175
5.14.5 不使用管脚处理方式.....	175
5.14.6 应用约束.....	175
5.15 PMBUS.....	175
5.15.1 概述.....	175



5.15.2 接口信号描述.....	175
5.15.3 接口时序.....	176
5.16 MDIO.....	176
5.16.1 概述.....	176
5.16.2 接口信号描述.....	176
5.16.3 接口时序.....	177
5.16.4 电路设计建议.....	179
5.17 TDM (PMC)	179
5.17.1 概述.....	179
5.17.2 接口信号描述.....	181
5.17.3 接口时序.....	181
5.17.4 电路设计建议.....	184
5.17.5 不使用管脚处理方式.....	184
5.17.6 应用约束.....	184
5.18 CodecTDM.....	184
5.18.1 概述.....	184
5.18.2 接口信号描述.....	184
5.18.3 接口时序.....	185
5.18.4 电路设计建议.....	186
5.18.5 不使用管脚处理方式.....	186
5.18.6 应用约束.....	186
5.19 CANBUS.....	186
5.19.1 概述.....	186
5.19.2 接口信号描述.....	186
5.19.3 接口时序.....	187
5.20 DyingGasp.....	187
5.20.1 概述.....	187
5.20.2 接口信号描述.....	188
5.20.3 接口时序.....	188
5.20.4 电路设计建议.....	189
5.21 DCM.....	190
5.21.1 概述.....	190
5.21.2 接口信号描述.....	190
5.21.3 建议使用方式.....	190
5.22 SATA/ETH LED.....	191
5.22.1 概述.....	191
5.22.2 接口信号描述.....	191
5.22.3 接口时序.....	191
5.22.4 不使用管脚处理方式.....	191
5.22.5 应用约束.....	192
5.23 GPIO.....	192
5.23.1 概述.....	192



5.23.2 接口信号描述.....	193
5.23.3 电路设计建议.....	193
5.24 上电采样.....	193
5.24.1 启动真值表.....	193
5.24.2 启动晶振频率真值表.....	196
5.24.3 SFC 接口时钟频率真值表.....	196
5.24.4 Nand Boot 模式真值.....	197
6 电气特性.....	206
6.1 LVCMOS 接口电气特性参数.....	206
6.2 DDR 接口电气特性参数.....	209
6.3 SerDes 接口电气指标.....	210
6.3.1 SerDes 接口极限电气特性.....	210
6.3.2 SerDes 接口推荐电气特性.....	211
6.3.3 SerDes 接口 AC 参数特性.....	213
6.3.4 SerDes RCD CML 参数特性.....	217
6.3.5 SerDes 接口驱动能力.....	217
7 可靠性参数.....	220
7.1 通用参数.....	220
8 封装.....	222
8.1 概述.....	222
8.2 芯片标识.....	222
8.3 封装视图.....	223
8.3.1 Hi309a 封装视图.....	224
8.4 封装参数.....	226
8.4.1 Hi309a 封装物理参数.....	226
9 单板 PCB 设计参考.....	228
9.1 系统设计指导.....	228
9.1.1 电源.....	228
9.1.2 SerDes 接口.....	228
9.1.3 DDR 接口.....	229
9.1.3.1 DDR 信号分组.....	229
9.1.3.2 DDR Rank 映射关系.....	240
9.1.3.3 DDR 走线等长约束.....	242
9.1.3.4 贴片应用基本走线约束.....	243
9.1.3.4.1 时钟走线设计.....	244
9.1.3.4.2 地址控制命令走线设计.....	244
9.1.3.4.3 DQS 信号走线设计.....	245
9.1.3.4.4 DQ 信号走线设计.....	245
9.1.3.4.5 其他要求.....	245
9.1.3.5 DDR 特殊走线设计.....	246
9.1.3.6 DDR 电源 VDDQ 单板设计.....	246



9.1.3.7 DDR 系统仿真.....	246
9.1.4 USB 接口.....	247
9.1.5 封装 Pindelay.....	247
9.1.5.1 Hi309a 网络版本 Pind elay.....	247
10 热设计参考.....	263
10.1 工作温度参数.....	263
10.2 封装热阻.....	264
10.3 芯片对散热器设计的 Guideline.....	265
11 芯片焊接工艺.....	267
11.1 概述.....	267
11.2 元器件包装及存储.....	267
11.3 包装材料.....	267
11.4 焊接方式.....	267
11.5 焊接温度.....	267



插图目录

图 1-1 管脚分布图（全景图，分区划分图）	4
图 1-2 管脚分布图（左上）	4
图 1-3 管脚分布图（右上）	5
图 1-4 管脚分布图（左下）	5
图 1-5 管脚分布图（右下）	6
图 2-1 Hi309a 芯片时钟接口	92
图 3-1 Hi309a 的复位结构图	98
图 3-2 芯片上电复位与非上电复位整体时序图	99
图 3-3 上电复位时序图	100
图 3-4 逻辑喂狗框图	105
图 3-5 RST_OUT_N 时序	106
图 4-1 Hi309a 上电顺序图	111
图 5-1 DDR_ALERT_N 管脚应用示意图	117
图 5-2 QSGMII 的眼图示意图	123
图 5-3 QSGMII 的眼图示意图	123
图 5-4 SGMII 和 SGMII2.5G 的眼图示意图	123
图 5-5 Hilink Macro	124
图 5-6 MII 发送时序图	126
图 5-7 MII 接收时序图	127
图 5-8 RGMII 发送时序图	128
图 5-9 RGMII 接收时序图	128
图 5-10 Local Bus 复用无外部 Ready 单次读操作	134
图 5-11 Local Bus 复用无外部 Ready 单次写操作	134
图 5-12 Local Bus 复用无外部 Ready 连续读操作	134
图 5-13 Local Bus 复用无外部 Ready 连续写操作	135
图 5-14 Local Bus 复用无外部 Ready 读写切换操作	135
图 5-15 Local Bus 复用无外部 Ready 写读切换操作	136
图 5-16 Local Bus 复用无外部 ReadyPage 读操作	136
图 5-17 LocalBus 复用有外部 Ready 单次读操作	137
图 5-18 LocalBus 复用有外部 Ready 单次写操作	137
图 5-19 LocalBus 复用有外部 Ready 连续读操作	137
图 5-20 LocalBus 复用有外部 Ready 连续写操作	137
图 5-21 LocalBus 复用有外部 Ready 读写切换操作	138



图 5-22 LocalBus 复用有外部 Ready 读写切换操作.....	138
图 5-23 LocalBus 复用有外部 Ready 外部 Ready 超时.....	138
图 5-24 SFC 输入信号时序图（SDR 模式）.....	141
图 5-25 输出信号时序图（SDR 模式）.....	141
图 5-26 寄存器表单.....	142
图 5-27 NANDC 命令周期时序图.....	145
图 5-28 NANDC 地址周期时序图.....	146
图 5-29 NANDC 写数据时序图.....	147
图 5-30 NANDC 读数据时序图.....	148
图 5-31 寄存器表单.....	149
图 5-32 QSGMII 的眼图参数示意图.....	149
图 5-33 单沿的 HS、DS 模式接口时序图.....	151
图 5-34 SD 卡 DS 模式时序图.....	152
图 5-35 SD 卡 DS 模式时序参数表.....	153
图 5-36 UART 接口时序图.....	156
图 5-37 UART 的 3 线模式应用框图.....	156
图 5-38 UART 的 4 线模式应用框图.....	157
图 5-39 JTAG 接口输出方向时序.....	158
图 5-40 JTAG 接口输入方向时序.....	158
图 5-41 SPI 接口时序图.....	161
图 5-42 ESPI 接口写时序图（8bit 模式，CRC 不使能）.....	163
图 5-43 ESPI 接口读时序图（8bit 模式，CRC 不使能）.....	164
图 5-44 ESPI 接口写时序图（8bit 模式，CRC 使能）.....	164
图 5-45 ESPI 接口读时序图（8bit 模式，CRC 使能）.....	164
图 5-46 ESPI 接口写时序图（4bit 模式，CRC 不使能）.....	165
图 5-47 ESPI 接口读时序图（4bit 模式，CRC 不使能）.....	165
图 5-48 ESPI 接口写时序图（4bit 模式，CRC 使能）.....	165
图 5-49 ESPI 接口读时序图（4bit 模式，CRC 使能）.....	165
图 5-50 I2C 传输时序图.....	171
图 5-51 整秒秒帧头图.....	173
图 5-52 2kHz 调制图.....	173
图 5-53 标准 PPS 信号与 P300 内部 PPS 信号的时序对应关系.....	174
图 5-54 MDIO 接口读时序图.....	177
图 5-55 MDIO 接口写时序图.....	178
图 5-56 TDM 的时序要求图.....	182
图 5-57 TDM 接口时序图 0.....	183
图 5-58 TDM 接口时序图 1.....	183
图 5-59 CodecTDM 的时序要求图.....	185
图 5-60 DyingGasp 结构图.....	188
图 5-61 DyingGasp 单板应用框图.....	189
图 5-62 PFI 电平输出示意图.....	189
图 5-63 连接示意图.....	191



图 6-1 GPIO 过冲示意图.....	209
图 6-2 SerDes Reference Clock Phase Noise mask (156.25MHz)	212
图 6-3 Reference Clock phase noise filtering.....	213
图 6-4 Insertion Loss limits for Full Rate modes $\geq 12.5\text{Gbps}$ (@1E-17, @2mVrms ICN, no FEC, ICR @ Ny $\geq 15\text{dB}$).....	218
图 6-5 Insertion Loss limits for Full Rate modes $\leq 12.5\text{Gbps}$ (@1E-17, @2mVrms ICN, no FEC, ICR @ Ny $\geq 15\text{dB}$).....	218
图 8-1 Hi309a Mark 示意图.....	222
图 8-2 Top view.....	224
图 8-3 Side view.....	224
图 8-4 DETAIL "A".....	225
图 8-5 Bottom view.....	225
图 8-6 封装 POD 参数表.....	226
图 9-1 Hi309a 板级电源拓扑图.....	228
图 10-1 推荐的安装方式.....	265
图 10-2 禁止的安装方式.....	266
图 11-1 焊接温度曲线图.....	268



表格目录

表 1-1 管脚类型说明..... 1

表 1-2 电平类型说明（电平类型由管脚类型大类和管脚类型小类组成）..... 2

表 1-3 I/O 管脚驱动能力说明..... 2

表 1-4 内部上下拉阻值..... 3

表 1-5 系统时钟接口管脚列表..... 6

表 1-6 同步以太接口管脚列表..... 7

表 1-7 复位接口管脚列表..... 7

表 1-8 模式控制管脚列表..... 9

表 1-9 特殊上电控制字列表..... 10

表 1-10 DDR 接口管脚列表..... 12

表 1-11 SerDes 接口管脚列表..... 22

表 1-12 RGMII 接口管脚列表..... 26

表 1-13 MII 接口管脚列表..... 27

表 1-14 Local Bus 接口管脚列表..... 28

表 1-15 SFC 接口管脚列表..... 33

表 1-16 NANDC 接口管脚列表..... 34

表 1-17 EMMC 接口管脚列表..... 36

表 1-18 SDC 接口管脚列表..... 37

表 1-19 USB 接口管脚列表..... 38

表 1-20 JTAG 接口管脚列表..... 38

表 1-21 UART 接口管脚列表..... 39

表 1-22 ESPI 接口管脚列表..... 40

表 1-23 SPI 接口管脚列表..... 41

表 1-24 I2C 接口管脚列表..... 42

表 1-25 RTC 接口管脚列表..... 43

表 1-26 PMBUS 接口管脚列表..... 44

表 1-27 MDIO 接口管脚列表..... 45

表 1-28 TDM 接口管脚列表..... 46

表 1-29 CodecTDM 接口管脚列表..... 47

表 1-30 CANBUS 接口管脚列表..... 47

表 1-31 DyingGasp 接口管脚列表..... 48

表 1-32 DCM 接口管脚列表..... 49

表 1-33 HISS 接口管脚列表..... 49



表 1-34 SATA/ETH LED 接口管脚列表.....	51
表 1-35 GPIO 接口管脚列表.....	51
表 1-36 INT 管脚列表.....	63
表 1-37 probe 管脚列表.....	64
表 1-38 电源地管脚列表.....	66
表 1-39 复用管脚列表.....	69
表 2-1 Hi309a 芯片时钟接口信号描述.....	93
表 2-2 时钟配置管脚列表.....	94
表 2-3 SYS_CLK 参考时钟要求.....	94
表 2-4 TCK 时钟要求.....	94
表 2-5 RTC_CLKIN 时钟要求.....	95
表 2-6 网络同步以太时钟参数.....	95
表 2-7 SERDES 参考时钟电气参数.....	95
表 3-1 复位信号描述.....	98
表 3-2 各种类型的复位范围描述.....	99
表 4-1 Hi309a 极限电源电压参数.....	108
表 4-2 Hi309a 推荐电源电压参数.....	109
表 4-3 典型业务场景功耗 2（网络自然散热场景）.....	111
表 4-4 典型业务场景功耗 3（网络 2.0G 全规格）.....	111
表 5-1 DDR 使用场景.....	118
表 5-2 SerDes 复用关系表.....	119
表 5-3 SerDes 参考时钟描述.....	122
表 5-4 MII 接口信号描述.....	125
表 5-5 RMII 接口信号描述.....	126
表 5-6 MII 发送时序参数表.....	127
表 5-7 MII 接收时序参数表.....	127
表 5-8 RGMII 收发时序参数表.....	129
表 5-9 RMII 时序参数表（MASTER）.....	129
表 5-10 RMII 时序参数表（SLAVE）.....	130
表 5-11 Local Bus 接口信号.....	131
表 5-12 Local Bus 的可配置时序参数表.....	132
表 5-13 SFC 接口信号.....	139
表 5-14 SFC_SDR 模式输入时序参数列表.....	141
表 5-15 SFC_SDR 模式输出时序参数列表.....	142
表 5-16 NANDC 接口信号.....	143
表 5-17 NANDC 命令周期时序参数表.....	145
表 5-18 NANDC 地址周期时序参数表.....	146
表 5-19 NANDC 写数据时序参数表.....	147
表 5-20 NANDC 读数据时序参数表.....	148
表 5-21 EMMC 接口信号.....	150
表 5-22 SD 卡接口信号.....	151
表 5-23 单沿 DS 模式时序参数表.....	151



表 5-24 USB 接口信号.....	154
表 5-25 UART 波特率误差.....	155
表 5-26 UART 接口信号.....	155
表 5-27 JTAG Chain 链配置表.....	157
表 5-28 Hi309a JTAG 接口列表.....	158
表 5-29 JTAG 输出接口时序参数.....	158
表 5-30 JTAG 输入接口时序参数.....	159
表 5-31 SPI 接口信号.....	160
表 5-32 SPI 接口时序参数.....	161
表 5-33 MASTER 非调相模式时序约束.....	166
表 5-34 MASTER 调相模式时序约束.....	167
表 5-35 ESPI3 SLAVE 模式时序约束.....	169
表 5-36 Hi309a I2C 接口信号.....	170
表 5-37 I2C 接口时序参数表.....	171
表 5-38 RTC 模块接口信号.....	173
表 5-39 PMBUS 接口信号列表.....	175
表 5-40 Hi309a MDIO 接口信号.....	176
表 5-41 MDIO 接口读时序参数.....	177
表 5-42 MDIO 接口写时序参数.....	179
表 5-43 TDM 接口信号.....	181
表 5-44 TDM 的时序要求表.....	182
表 5-45 TDM 单板走线要求.....	182
表 5-46 CodecTDM 接口信号.....	184
表 5-47 CodecTDM 的时序要求表.....	185
表 5-48 CodecTDM 单板走线要求.....	186
表 5-49 接口信号描述.....	186
表 5-50 PFI 规格描述表.....	187
表 5-51 电源地以及模拟信号列表描述.....	188
表 5-52 接口信号描述.....	190
表 5-53 SATA、ETH LED 接口信号.....	191
表 5-54 HDLC 的时序要求表.....	193
表 5-55 AP 侧启动真值表.....	193
表 5-56 HISS 侧启动真值表.....	194
表 5-57 启动晶振频率真值表.....	196
表 5-58 SFC 接口时钟频率真值表.....	196
表 5-59 Nand Boot 模式真值表.....	197
表 5-60 NANDC 启动模式控制.....	205
表 6-1 LVCMOS IO Buffe 电气特性.....	206
表 6-2 Pad 电平上下过冲表.....	209
表 6-3 DDR5 时序参数.....	209
表 6-4 DDR4 时序参数.....	210
表 6-5 SerDes 接口极限电气特性.....	210



表 6-6 SerDes 接口推荐电气特性.....	211
表 6-7 SerDes 发射机电气特性.....	213
表 6-8 SerDes 接收机电气特性.....	215
表 6-9 SerDes RCD CML 电气特性.....	217
表 7-1 通用可靠性参数表.....	220
表 7-2 芯片潮湿敏感等级定义.....	220
表 8-1 Hi309a Mark 说明.....	222
表 8-2 Hi309a 封装物理参数.....	226
表 9-1 DDR 管脚分组复用表.....	230
表 9-2 DDR Rank 映射关系表.....	240
表 9-3 DDR4 单 rank 场景.....	240
表 9-4 DDR5 单 rank 场景.....	241
表 9-5 DDR4 单通道场景.....	241
表 9-6 DDR5 双通道场景.....	242
表 9-7 DDR 贴片场景走线约束.....	242
表 9-8 DDR 特殊信号走线约束.....	243
表 9-9 DDR5 仿真接口 Timing 要求.....	246
表 9-10 DDR4 仿真接口 Timing 要求.....	247
表 9-11 Hi309a 封装 Pindelay 表.....	248
表 10-1 工作温度参数.....	263
表 10-2 Hi309a 芯片的封装热阻.....	264
表 11-1 温度曲线图中各个参数说明.....	268



1 管脚描述

1.1 管脚类型和电平类型说明

管脚I/O类型和电平类型如表1-1和表1-2所示。

表 1-1 管脚类型说明

类型大类	类型小类	类型小类说明
数字管脚	I	普通输入端口。
数字管脚	I _{PU}	带有内部上拉的输入端口。
数字管脚	I _{SPU}	带有内部强上拉的输入端口。
数字管脚	I _{PD}	带有内部下拉的输入端口。
数字管脚	O	普通输出端口。
数字管脚	O _{OD}	输出，漏极开路。管脚只能输出High-Z和0（低电平）两种状态；如果需要输出1（高电平），必须外接上拉电阻到相应电源。
数字管脚	I/O	双向输入/输出端口。
	I/O _{OD}	双向端口，输出漏极开路。
	Tri	三态端口。
	NC	芯片内部未连接。



表 1-2 电平类型说明（电平类型由管脚类型大类和管脚类型小类组成）

类型大类	类型大类说明	类型小类	类型小类说明
LVTTTL	具有tolerant特性的TTL接口电平。	_DP	Driver current programmable，输出驱动可调。
LVDS	LVDS差分电平。	_HP	HOTPLUG缩写，表示该管脚支持热插拔。
CML	电流逻辑电平。	_IBIAS	Internal bias circuit缩写，表示管脚内部具有直流偏置电路。
LVPECL	低压发射极耦合差分电平。	-	-
LVC MOS	LVC MOS电平。	-	-

1.2 驱动能力说明

表 1-3 I/O 管脚驱动能力说明

DS[3:0]	Min(mA)	Typ(mA)	Max(mA)
I _{OL}			
0000	0.7	1.1	1.4
0001	1.1	1.6	2.1
0010	2.2	3.2	4.2
0011	3.3	4.8	6.3
0100	4.4	6.4	8.4
0101	5.5	8.0	10.5
0110	6.5	9.6	12.6
0111	7.6	11.2	14.7
1000	8.7	12.7	16.8
1001	9.8	14.3	18.8
1010	10.9	15.9	20.9
1011	12.0	17.5	23.0
1100	13.0	19.1	25.1
1101	14.1	20.7	27.2



DS[3:0]	Min(mA)	Typ(mA)	Max(mA)
1110	15.2	22.3	29.2
1111	16.3	23.8	31.3
I_{OH}			
0000	0.7	1.1	1.6
0001	1.1	1.7	2.3
0010	2.1	3.3	4.7
0011	3.2	5.0	7.0
0100	4.2	6.6	9.3
0101	5.3	8.3	11.7
0110	6.3	9.9	13.9
0111	7.4	11.6	16.2
1000	8.4	13.2	18.5
1001	9.4	14.8	20.8
1010	10.5	16.5	23.1
1011	11.5	18.1	25.4
1100	12.6	19.7	27.6
1101	14.6	23.0	32.1
1110	15.7	24.6	34.4

1.3 内部上下拉阻值说明

表 1-4 内部上下拉阻值

名称	说明	最小值	典型值	最大值
R _{SPU}	强上拉电阻	1.6k Ω	2.1k Ω	3k Ω
R _{PU}	上拉电阻	32k Ω	48k Ω	79k Ω
R _{PD}	下拉电阻	30k Ω	44k Ω	68k Ω

1.4 Hi309a 管脚描述



1.4.1 管脚分布图

图 1-1 管脚分布图（全景图，分区划分图）

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30			
A	NC	VSS	DOR CA 11 B	DOR CA 3 B	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	A		
B	VSS	DOR CA 11 B	DOR CA 3 B	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	B			
C	DOR CA 4 B	DOR CA 7 B	VSS	DOR CA 11 B	DOR CA 3 B	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	C		
D	DOR RE SET N	DOR CA 1 B	DOR CA 0	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	D			
E	VSS	DOR CA 5 A	DOR CA 11 A	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	E			
F	DOR AL ERT N	VSS	DOR CA 6 A	DOR CA 12 A	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	F			
G	DOR CA 5 A	DOR CA 11 A	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	G		
H	DOR CS 0 A	DOR CA 10 A	DOR CA 9 A	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	H			
J	DOR AT B0	DOR TS T0 N	DOR TS T0 P	DOR CA 7 A	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	J		
K	DOR LB D	DOR LB S	DOR CA 1 A	DOR AT 1 A	DOR CS 1 A	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	K		
L	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	L		
M	BOOT_M ODE	BOOT_S EL0	TEST_M ODE0	BOOT_S EL4	BOOT_S EL3	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	M		
N	WDG_M ODE	TEST_M ODE1	HISS_S PI DI	VSS	HISS_S PI CS	HISS_S D A	HISS_S C L	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	N	
P	HISS_UR XD	HISS_UT XD	VSS	HISS_S PI CK	HISS_S PI DO	GPIO184	GPIO183	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	P	
R	RST_M ODE	NAND_R DY3	NAND_C SN3	VSS	NAND_R DY2	NAND_C SN2	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	R	
T	VSS	NAND_R DY0	NAND_C SN0	VSS	NAND_R DY1	NAND_C SN1	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	T	
U	NAND_R DY2	NAND_C SN2	VSS	NAND_R DY3	NAND_C SN3	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	U		
V	NAND_R DY0	NAND_C SN0	VSS	NAND_R DY1	NAND_C SN1	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	V		
W	NAND_R DY1	NAND_C SN1	VSS	NAND_R DY2	NAND_C SN2	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	W		
Y	VSS	SPEC_MFPCR0	SPEC_MFPCR1	SPEC_MFPCR2	SPEC_MFPCR3	SPEC_MFPCR4	SPEC_MFPCR5	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	Y
AA	VSS	NAND_R DY0	NAND_C SN0	VSS	NAND_R DY1	NAND_C SN1	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	AA	
AB	HISS_UR XD	HISS_UT XD	VSS	HISS_S PI CK	HISS_S PI DO	GPIO184	GPIO183	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	AB
AC	VSS	GPIO184	GPIO183	GPIO182	GPIO181	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	AC	
AE	GPIO184	GPIO183	GPIO182	GPIO181	GPIO180	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	AE	
AF	GPIO184	GPIO183	GPIO182	GPIO181	GPIO180	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	AF	
AG	VSS	GPIO183	GPIO182	GPIO181	GPIO180	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	AG	
AH	GPIO184	GPIO183	GPIO182	GPIO181	GPIO180	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	AH	
AJ	GPIO184	GPIO183	GPIO182	GPIO181	GPIO180	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	AJ	
AK	GPIO184	GPIO183	GPIO182	GPIO181	GPIO180	VSS	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	DOR DO 25 B	DOR DO 19 B	DOR DO 13 B	DOR DO 7 B	DOR DO 1 B	AK	
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30			

图 1-2 管脚分布图（左上）

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
A	NC	VSS	DOR CA 3 C	DOR CA 9 B	VSS	DOR DO 26 B	DOR DO 18 B	VSS	DOR DO 22 B	DOR DO 13 B	VSS	DOR DO 6 B	DOR DO 10 T B	VSS	DOR DO 6 B
B	VSS	DOR CA 11 B	DOR CA 3 T	DOR CA 3 B	DOR DO 31 T B	VSS	DOR DO 25 B	DOR DO 19 B	VSS	DOR DO 17 B	DOR DO 51 T B	VSS	DOR DO 5 B	DOR DO 50 T B	VSS
C	DOR CA 4 B	DOR CA 7 B	VSS	DOR CS 1 B	DOR DO 31 C B	DOR DO 27 B	VSS	DOR DO 21 B	DOR DO 82 T B	VSS	DOR DO 51 C B	DOR DO 8 B	VSS	DOR DO 50 C B	DOR DO 2 B
D	DOR RE SET N	DOR CA 1 B	DOR CA 0	VSS	DOR DO 8 B	DOR DO 29 B	DOR DO 31 B	VSS	DOR DO 82 C B	DOR DO 20 B	VSS	DOR DO 9 B	DOR DO 10 B	VSS	DOR DO 3 B
E	VSS	DOR CA 6 A	DOR CA 12 A	VSS	DOR CA 6 B	DOR CS 0 B	DOR DO 28 B	VSS	DOR D M2 T B	DOR DO 14 B	VSS	DOR DO 11 B	DOR DO 7 B	VSS	
F	DOR AL ERT N	VSS	DOR CA 0 T	DOR CA 0 G	DOR CA 5 B	VSS	DOR CA 10 B	DOR DO 30 B	DOR D M3 T B	VSS	DOR DO 16 B	DOR DO 15 B	DOR DO 4 B	DOR DO 1 B	
G	DOR CA 5 A	DOR CA 11 A	VSS	DOR CA 2 A	DOR CA 2 G	DOR DO 12 B	DOR DO 24 B	DOR DO 23 B	VSS	DOR DO 12 B	DOR DO 12 B	DOR DO 12 B	DOR DO 0 B	VSS	
H	DOR CS 0 A	DOR CA 10 A	DOR CA 9 A	VSS	DOR CA 0 A	DOR CA 1 T	DOR CA 1 C								
J	DOR AT B0	DOR TS T0 N	DOR TS T0 P	DOR CA 7 A	VSS	DOR DO 0 B	DOR CA 2 B		DVDD12 DORIO EIX	VSS	DVDD12 DORIO EIX	VSS	DVDD12 DORIO EIX	VSS	DVDD12 DORIO EIX
K	DOR LB D	DOR LB S	DOR CA 1 A	DOR AT 1 A	DOR CS 1 A	VSS	DOR CA 3 A		VSS	DVDD12 DORIO EIX	VSS	DVDD12 DORIO EIX	VSS	DVDD12 DORIO EIX	VSS
L	VSS	VSS	VSS	VSS	VSS	VSS	DOR CA 4 A		DVDD18 FILL D DR DEF	VSS	AVDD18 FILL D DR DEF	VSS	DVDD18 FILL D DR DEF	VSS	DVDD18 FILL D DR DEF
M	BOOT_M ODE	BOOT_S EL0	TEST_M ODE0	BOOT_S EL4	BOOT_S EL3	VSS		VSS	DVDD18 FILL D DR DEF	VSS	AVDD18 FILL D DR DEF	VSS	DVDD18 FILL D DR DEF	VSS	DVDD18 FILL D DR DEF
N	WDG_M ODE	TEST_M ODE1	HISS_S PI DI	VSS	HISS_S PI CS	HISS_S D A	HISS_S C L		DVDD18 FILL D DR DEF	VSS	DVDD18 FILL D DR DEF	VSS	DVDD18 FILL D DR DEF	VSS	DVDD18 FILL D DR DEF
P	HISS_UR XD	HISS_UT XD	VSS	HISS_S PI CK	HISS_S PI DO	GPIO184	GPIO183		VSS	DVDD18 FILL D DR DEF	VSS	DVDD18 FILL D DR DEF	VSS	DVDD18 FILL D DR DEF	VSS
R	RST_M ODE	NAND_R DY3	NAND_C SN3	VSS	NAND_R DY2	NAND_C SN2	VSS		DVDD18 FILL D DR DEF	VSS	DVDD18 FILL D DR DEF	VSS	DVDD18 FILL D DR DEF	VSS	DVDD18 FILL D DR DEF



图 1-3 管脚分布图（右上）

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	
DDR_DQ S4 T B	VSS	DDR_CB 2 B	DDR_DO S4 T A	VSS	DDR_CB 2 A	DDR_DO S3 C A	VSS	DDR_DO 2B A	DDR_DO S2 C A	VSS	DDR_DO 19 A	DDR_DO 18 A	VSS	VSS	A
DDR_DO S4 C B	DDR_CB 3 B	VSS	DDR_DO S4 C A	DDR_CB 3 A	VSS	DDR_DO S3 T A	DDR_DO 27 A	VSS	DDR_DO S2 T A	DDR_D M2 T A	VSS	DDR_DO 14 A	DDR_DO S1 C A	VSS	B
VSS	DDR_CB 1 B	DDR_CB 6 A	VSS	DDR_CB 0 A	DDR_DO 30 A	VSS	DDR_DO 24 A	DDR_DO 16 A	VSS	DDR_DO 9 A	DDR_DO 8 A	VSS	DDR_DO S1 T A	DDR_D M1 T A	C
DDR_CB 7 B	VSS	DDR_CB 5 A	DDR_CB 4 A	VSS	DDR_DO 31 A	DDR_DO 25 A	VSS	DDR_DO 21 A	DDR_DO 12 A	VSS	DDR_DO 7 A	DDR_DO 4 A	VSS	DDR_DO 2 A	D
DDR_CB 5 B	DDR_CB 0 B	VSS	DDR_D M4 T A	DDR_DO 29 A	VSS	DDR_DO 22 A	DDR_DO 17 A	VSS	DDR_DO 13 A	DDR_DO 5 A	VSS	DDR_D M0 T A	DDR_DO 3 A	VSS	E
VSS	DDR_D M4 T B	DDR_CB 7 A	VSS	DDR_D M3 T A	DDR_DO 23 A	VSS	DDR_DO 15 A	DDR_DO 10 A	VSS	DDR_DO S0 C A	DDR_DO S0 T A	VSS	DDR_DO 1 A	DDR_DO 0 A	F
DDR_CB 4 B	VSS	DDR_CB 1 A	DDR_DO 28 A	VSS	DDR_DO 20 A	VSS	DDR_DO 11 A	DDR_DO 6 A	VSS	VSS	VSS	VSS	VSS	VSS	G
								VSS	VSS	QL2 L3 PAD TX OE	QL2 L3 PAD TX OM	VSS	QL2 L3 PAD RX IE	QL2 L3 PAD RX IM	H
VSS	DVDD12 DDRIO FIX	VSS	VDD08_F	VSS	VSS			AVDD12 SERDE S_FIX	VSS	VSS	VSS	VSS	VSS	VSS	J
DVDD12 DDRIO FIX	VSS	DVDD12 DDRIO FIX	VSS	VDD08_F	VSS			VSS	VSS	QL2 L2 PAD TX OE	QL2 L2 PAD TX OM	VSS	QL2 L2 PAD RX IE	QL2 L2 PAD RX IM	K
VSS	VDD08_F	VSS	VDD08_F	VSS	AVDD12 SERDE S_FIX			AVDD12 SERDE S_FIX	VSS	VSS	VSS	VSS	VSS	VSS	L
VDD08_F	VSS	VDD08_F	VSS	AVDD08 SERDE S_FIX	VSS			VSS	VSS	QL2 L1 PAD TX OE	QL2 L1 PAD TX OM	VSS	QL2 L1 PAD RX IE	QL2 L1 PAD RX IM	M
VSS	VDD08_F	VSS	VDD08_F	VSS	AVDD12 SERDE S_FIX			AVDD12 SERDE S_FIX	VSS	VSS	VSS	VSS	VSS	VSS	N
VDD08_A	VSS	VDD08_F	VSS	AVDD08 SERDE S_FIX	VSS			VSS	VSS	QL2 L0 PAD TX OM	QL2 L0 PAD TX OE	VSS	QL2 L0 PAD RX IM	QL2 L0 PAD RX IE	P
VSS	VDD08_F	VSS	VDD08_F	VSS	AVDD12 SERDE S_FIX			AVDD12 SERDE S_FIX	VSS	VSS	VSS	VSS	VSS	VSS	R

图 1-4 管脚分布图（左下）

T	VSS	NAND_WP_N	NAND_WR	NAND_C SN1	VSS	NAND_C SN0	NAND_B DY1		VSS	VDD08_F	VSS	VDD08_A	VSS	VDD08_A	VSS
U	NAND_R DY0	NAND_R D	NAND_C LE	VSS	NAND_A LE	NAND_D ATA0	VSS		DVDD18 _FIX	VSS	AVDD18 _PLL_G ASS TS	VSS	VDD08_A	VSS	VDD08_A
V	NAND_D ATA1	NAND_D ATA2	VSS	NAND_D ATA3	NAND_D ATA4	NAND_D ATA5	NAND_D ATA6		VSS	VDD08_F	VSS	VDD08_A	VSS	VDD08_A	VSS
W	NAND_D ATA7	NAND_D QS	SFC0_SP CLK	SFC0_SP IC50	SFC0_SP IC51	VSS	SFC0_SP L_DQ0		AVDD33 _USB_F1 Y	VSS	VDD08_F	VSS	VDD08_F	VSS	VDD08_F
Y	VSS	SFC0_SP L_DQ1	SFC0_W F_DQ2	SFC0_H OLD_DQ 1	SFC0_H OLD_DQ 0	SFC0_R ST	GPIO145		AVDD08 _PLL_F1 Y	VSS	VDD08_F	VSS	VDD08_F	VSS	VDD08_F
AA	VSS	SDA0	SC10	VSS	GPIO202	RSTN	VSS		AVDD18 _USB_F1 Y	VSS	DVDD18 _FIX	VSS	VDD08_F	VSS	DVDD18 _FIX
AB	WDG_M R	WDG_W DI	VSS	PORN	RST_OUT TN	WDG_R STN	CAN_RS TN								
AC	BUTTON _RSTN	USER_D EFINE_R STN	GPIO153	GPIO172	GPIO176	VSS	GPIO177								
AD	VSS	GPIO040	GPIO038	GPIO039	VSS	TDO	TMS	GPIO257	GPIO175	GPIO159	ESP0_C LK0	ESP0_D 2	ESP0_D 6	GPIO163	PMBUS3 _CLK
AE	GPIO041	VSS	GPIO042	GPIO154	GPIO155	PMBUS0 _DATA	VSS	GPIO254	GPIO256	GPIO158	VSS	ESP0_C S0	ESP0_D 3	ESP0_D 5	VSS
AF	ESP0_D M0	ESP0_D M1	PMBUS1 _ALERT	PMBUS1 _C	PMBUS1 _DATA	PMBUS0	GPIO251	GPIO249	GPIO255	SPIC_S0 _1	PMBUS2 _CLK	ESP0_D 0	ESP0_D 4	GPIO195	PMBUS3 _DATA
AG	VSS	GPIO173	GPIO177	GPIO179	GPIO156	VSS	GPIO174	GPIO250	GPIO258	VSS	PMBUS2 _DATA	ESP0_C S1	ESP0_C S3	VSS	PMBUS3 _ALERT
AH	MDIO1 _CLK	PFI	GPIO191	MDIO2 _CLK	VSS	GPIO178	GPIO248	GPIO253	VSS	SPIC_S0 _0	LED_AC T	ESP0_D 1	VSS	GPIO182	GPIO205
AJ	DCM_IN	MDIO1 _DATA	GPIO193	GPIO192	MDIO2 _DATA	GPIO203	GPIO247	GPIO252	GPIO186	SPI0D0	LED_RU N	ESP0_C LK1	ESP0_C S2	ESP0_R DY	SC11
AK	VSS	DCM_OUT	GPIO190	VSS	TCK	TRSTN	TDI	VSS	SPIC_K0	SPI0D0	GPIO204	VSS	ESP0_D 7	GPIO194	SDA1
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15



图 1-5 管脚分布图（右下）

VDD08_A	VSS	VDD08_F	VSS	AVDD08_SERDE_S_FTX	VSS			VSS	VSS	QL0 REF CLK IN M1	QL0 REF CLK IN P1	VSS	QL0 REF CLK IN E0	QL0 REF CLK IN M0	T
VSS	VDD08_F	VSS	VDD08_F	VSS	AVDD012_SERDE_S_FTX			AVDD012_SERDE_S_FTX	VSS	VSS	VSS	VSS	VSS	VSS	U
VDD08_A	VSS	VDD08_F	VSS	AVDD08_SERDE_S_FTX	VSS			VSS	VSS	QL0 L3 PAD TX OM	QL0 L3 PAD TX OP	VSS	QL0 L3 PAD RX IM	QL0 L3 PAD RX IP	V
VSS	VDD08_F	VSS	VDD08_F	VSS	VDD08_FTX			AVDD012_SERDE_S_FTX	VSS	VSS	VSS	VSS	VSS	VSS	W
VDD08_F	VSS	VDD08_F	VSS	VDD08_F	VSS			VSS	VSS	QL0 L2 PAD TX OM	QL0 L2 PAD TX OP	VSS	QL0 L2 PAD RX IM	QL0 L2 PAD RX IP	Y
VSS	DVDD18_FTX	VSS	DVDD18_FTX	VSS	VDD08_FTX			DIL2_EXT_RESISTOR	VSS	VSS	VSS	VSS	VSS	VSS	AA
								VSS	VSS	QL0 L1 PAD TX OM	QL0 L1 PAD TX OP	VSS	QL0 L1 PAD RX IM	QL0 L1 PAD RX IP	AB
								VSS	VSS	VSS	VSS	VSS	VSS	VSS	AC
GPI0212	GPI0215	GPI0139	GPI0157	GPI0198	GPI0132	CLK_SE_L0	GPI0164	GPI0200	VSS	QL0 L0 PAD TX OM	QL0 L0 PAD TX OP	VSS	QL0 L0 PAD RX IM	QL0 L0 PAD RX IP	AD
GPI0128	GPI0180	GPI0140	VSS	GPI0165	GPI0131	CLK_SE_L1	VSS	GPI0197	VSS	VSS	VSS	VSS	VSS	VSS	AE
GPI0129	URXD1	GPI0187	GPI0206	GPI0201	GPI0130	GPI0136	GPI0167	GPI0196	VSS	QL1 L1 PAD TX OM	QL1 L1 PAD TX OP	VSS	QL1 L1 PAD RX IM	QL1 L1 PAD RX IP	AF
GPI0162	UTXD1	VSS	GPI0199	GPI0213	GPI0169	VSS	GPI0166	SYS_CLKIN	VSS	VSS	VSS	VSS	VSS	VSS	AG
UTXD0	VSS	GPI0189	GPI0214	GPI0208	VSS	GPI0135	GPI0152	RTC_CLKIN	VSS	QL1 L0 PAD TX OM	QL1 L0 PAD TX OP	VSS	QL1 L0 PAD RX IM	QL1 L0 PAD RX IP	AH
URXD0	GPI0181	GPI0183	GPI0137	GPI0207	GPI0171	GPI0134	GPI0170	MIDIO_CLK	VSS	VSS	VSS	VSS	VSS	VSS	AJ
VSS	GPI0188	GPI0211	GPI0138	VSS	GPI0168	GPI0133	GPI0217	VSS	MIDIO_DATA	VSS	VSS	VSS	VSS	VSS	AK
16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	

1.4.2 管脚数量统计

管脚数量为813。

1.4.3 管脚详细描述

1.4.3.1 系统时钟接口

系统时钟接口如表1-5所示。

表 1-5 系统时钟接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
SYS_CLKIN	AG24	独占	I	1.8V LVCMOS	25MHz/50MHz/66.667MHz	外部晶振输入系统工作时钟，典型值25MHz、50MHz、66.67MHz，默认25MHz。



1.4.3.2 同步以太接口接口

表 1-6 同步以太接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
SERDES_CLK_OUT1	AD22	复用	O	DIGITAL 1.8V LVCMOS	1MHz	从SerDes CDR电路恢复出来的时钟输出，用于同步以太网；网络产品最多需要3路。
SERDES_CLK_OUT0	AE22	复用	O	DIGITAL 1.8V LVCMOS	1MHz	从SerDes CDR电路恢复出来的时钟输出，用于同步以太网，网络产品最多需要3路。
SERDES_CLK_OUT2	AK23	复用	O	DIGITAL 1.8V LVCMOS	1MHz	从SerDes CDR电路恢复出来的时钟输出，用于同步以太网；网络产品最多需要3路。
CLK_LOS	AK17	复用	O	DIGITAL 1.8V LVCMOS	1MHz	内部除系统时钟外关键时钟丢失的告警信号，默认输出低电平。

1.4.3.3 复位接口

复位接口如表1-7所示。

表 1-7 复位接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
RSTN	AA6	独占	Ipu	1.8V LVCMOS	-	硬复位管脚，低电平进行硬复位。检测到低电平时启动非上电复位。
RST_OUT_N	AB5	独占	O	1.8V LVCMOS	-	网络使用，Hi309a的CPU复位输出，CPU复位时输出低电平，RSTN撤离复位后400ns以内拉高，用于复位CPU周边器件，保证复位顺序。
WDG_RSTN	AB6	独占	Ipu	1.8V LVCMOS	-	网络使用，外部狗溢出复位输入，低电平有效。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
BUTTON_RSTN	AC1	复用	Ipu	1.8V LVCMOS	-	网络使用，按键reset输入，低电平有效。
CAN_RSTN	AB7	复用	Ipu	1.8V LVCMOS	-	网络使用，CAN复位输入，低电平有效。
PORN	AB4	独占	Ipu	DIGITAL 1.8V LVCMOS	-	系统上电复位管脚，检测到低电平时启动上电复位，要求内部支持20个晶振周期（400ns@50MHz）的滤波以滤除毛刺。板级设计要求复位信号脉宽高于1us。
WDG_MODE	N1	独占	Ipu	DIGITAL 1.8V LVCMOS	-	用于选择内部/外部看门狗，低电平启用内部看门狗，高电平启用外部看门狗，外部看门狗启用时内部看门狗禁止使用。
WDG_MR	AB1	独占	O	DIGITAL 1.8V LVCMOS	1MHz	外置看门狗启用时，支持软件控制输出低电平从而实现外部看门狗手动复位。默认输出低电平。
WDG_WDI	AB2	独占	O	DIGITAL 1.8V LVCMOS	1MHz	外置看门狗启用时，用于输出喂狗信号。
USER_DEFINE_RSTN	AC2	复用	Ipu	DIGITAL 1.8V LVCMOS	-	用户自定义复位输入（如：TPM扣板拔掉复位），低电平有效，复用GPIO，默认复位源。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
CPU_ALARM	AH11	复用	O	DIGITAL 1.8V LVCMOS	1MHz	这个GPIO默认用作CPU告警，芯片内部8个core各有1个WatchDog，任何1个WatchDog溢出，可产生1个低电平告警，默认输出低电平。

1.4.3.4 模式控制管脚

表 1-8 模式控制管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
BOOT_MODE	M1	独占	lpu	1.8V LVCMOS	-	内部外部启动模式脚，1bit，上电采样管脚。仅在NS-FORBIT为0时有意义，含义： 0：片外介质启动； 1：片内BSBC启动。
BOOT_SEL0	M2	独占	lpd	1.8V LVCMOS	-	上电采样得到。含义：启动介质为“0” SPI NOR FLASH；“1” NAND FLASH。
BOOT_SEL2	M6	独占	lpd	1.8V LVCMOS	-	BSBC通过读取BOOT_SEL2和寄存器SC_PORESET_CFG，确定从哪个分区开始加载。 BOOT_SEL2为0时： SC_PORESET_CFG为0，选择分区ESBC B； BOOT_SEL2为1时：选择分区ESBC A； SC_PORESET_CFG为1时：选择分区ESBC A。
BOOT_SEL3	M5	独占	lpd	1.8V LVCMOS	-	BOOT_SEL[4..3] 扩展用于晶振时钟频率选择。 00：表示50MHz； 01：表示66.67MHz； 1X：表示25MHz； 三者频率差别较大，PLL配置无法归一。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
BOOT_SEL4	M4	独占	lpd	1.8V LVCMOS	-	网络使用，BOOT_SEL4，同BOOT_SEL3描述。
TEST_MODE 0	M3	独占	lpu	DIGITAL 1.8V LVCMOS	1M Hz	JTAG模式选择，TEST_MODE[1..0]选择JTAG模式，支持如下JTAG模式。 00：选中ARM JTAG； 10：选中M7 DAP； 11：选中DFT JTAG。
TEST_MODE 1	N2	独占	lpu	DIGITAL 1.8V LVCMOS	1M Hz	JTAG模式选择，配合TEST_MODE0选择JTAG模式。

1.4.3.5 特殊上电控制字

表 1-9 特殊上电控制字列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
BOOT_CFG_W0	W3	是	lpu	LVCMOS	-	从NAND启动时，用于识别NAND的信息，包括Pagesize、ECC数量、Block大小、Randmizer、多点启动信息，按照硬件ID方式识别，与NOR FLASH管脚复用。
BOOT_CFG_W1	W4	是	lpu	LVCMOS	-	参考BOOT_CFG_W0描述。
BOOT_CFG_W2	W5	是	lpu	LVCMOS	-	参考BOOT_CFG_W0描述。
BOOT_CFG_W3	Y2	是	lpu	LVCMOS	-	参考BOOT_CFG_W0描述。
BOOT_CFG_W4	W7	是	lpu	LVCMOS	-	参考BOOT_CFG_W0描述。
BOOT_CFG_W5	Y3	是	lpu	LVCMOS	-	参考BOOT_CFG_W0描述。
BOOT_CFG_W6	Y4	是	lpu	LVCMOS	-	参考BOOT_CFG_W0描述。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
BOOT_CFG_W7	Y5	是	lpu	LVC MOS	-	NANDC启动模式控制。 0: 自适应启动无效: (使用 BOOT_CFG6~0)(默认); 1: 自适应启动有效。
BOOT_CFG_W8	Y6	复用	lpu	DIGITAL 1.8V LVC MOS	-	Flash NANDC使用 BOOT_CFG_W8来控制 备份大小选择。 0: 备份大小2M; 1: 备份大小4M(上电默认)。
BOOT_CFG_N0	AF12	是	lpu	LVC MOS	-	用于配置默认SFC接口 频率, 上电时与硬件ID 一起锁存, 通过 BOOT_CFG_N1、 BOOT_CFG_N0管脚锁 存的“0”、“1”信息 确定四种速率: 50MHz, 37MHz, 25MHz, 12.5MHz。具 体参见“表5-58”。
BOOT_CFG_N1	AH12	是	lpu	LVC MOS	-	参考BOOT_CFG_N0描 述。
BOOT_CFG_N3	AE14	是	lpu	LVC MOS	-	备份区在片选0或片选 1。 0: 片选1; 1: 片选0。
BOOT_CFG_N4	AD13	是	lpu	LVC MOS	-	SPI Flash用 BOOT_CFG_N4来控制 备份大小选择。 0: 备份大小4M(上电 默认); 1: 备份大小8M。



1.4.3.6 DDR 接口管脚列表

表 1-10 DDR 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
DDR_RESET_N	D1	独占	O	DIGITAL 1.2V/ 1.1V LVCMOS	–	DDR4/5复位信号。 说明：该信号是CMOS rail to rail 信号。
DDR_CK0_T	F3	独占	O	DIGITAL 1.2V/ 1.1V LVCMOS	1600MHz	DDR正相时钟， 所有地址、命令和控制输入信号在CK_t的正边缘和CK_c的负边缘的交叉处采样。
DDR_CK0_C	F4	独占	O	DIGITAL 1.2V/ 1.1V LVCMOS	1600MHz	DDR反相时钟， All address, command, and control input signals are sampled on the crossing of the positive edge of CK_t and the negative edge of CK_c.
DDR_CK1_T	H6	独占	O	DIGITAL 1.2V/ 1.1V LVCMOS	1600MHz	DDR正相时钟。
DDR_CK1_C	H7	独占	O	DIGITAL 1.2V/ 1.1V LVCMOS	1600MHz	DDR反相时钟。
DDR_CK2_T	G6	独占	O	DIGITAL 1.2V/ 1.1V LVCMOS	1600MHz	DDR正相时钟。
DDR_CK2_C	G5	独占	O	DIGITAL 1.2V/ 1.1V LVCMOS	1600MHz	DDR反相时钟。
DDR_CK3_T	B3	独占	O	DIGITAL 1.2V/ 1.1V LVCMOS	1600MHz	DDR正相时钟。
DDR_CK3_C	A3	独占	O	DIGITAL 1.2V/ 1.1V LVCMOS	1600MHz	DDR反相时钟。
DDR_CS0_A	H1	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	连接DDR5时作为片选，连接DDR4时作为ODT0，详见表 9-1。
DDR_CS1_A	K5	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	连接DDR5时作为片选，连接DDR4时作为CKE0，详见表 9-1。
DDR_CS0_B	E7	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	连接DDR5时作为片选，连接DDR4时作为A13，详见表 9-1。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
DDR_CS1_B	C4	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	连接DDR5时作为片选，连接DDR4时作为A17/CID2，详见表9-1。
DDR_DM0_T_A	E28	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR Data mask，连接4b颗粒时，作为DQS10_t。
DDR_DM1_T_A	C30	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR Data mask，连接4b颗粒时，作为DQS11_t。
DDR_DM2_T_A	B26	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR Data mask，连接4b颗粒时，作为DQS12_t。
DDR_DM3_T_A	F20	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR Data mask，连接4b颗粒时，作为DQS13_t。
DDR_DM4_T_A	E19	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR Data mask，连接4b颗粒时，作为DQS14_t。
DDR_DM0_T_B	A1 3	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为DM0_T_B/ DM4_T_B/ DM0_T_A/，详见表9-1。
DDR_DM1_T_B	G1 3	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为DM1_T_B/DM5_T/ DM1_T_A，详见表9-1。
DDR_DM2_T_B	E10	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为DM2_T_B/DM6_T/ DM2_T_A，详见表9-1。
DDR_DM3_T_B	F9	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为DM3_T_B/DM7_T / DM3_T_A，详见表9-1。
DDR_DM4_T_B	F17	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为DM4_T_B/spare/A10/ DM4_T_A，详见表9-1。
DDR_CB0_A	C20	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为 DDR5 的CB0_A，DDR4的DQ64，详见表9-1。
DDR_CB1_A	G1 8	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为 DDR5 的CB1_A，DDR4的DQ65，详见表9-1。
DDR_CB2_A	A2 1	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为 DDR5 的CB2_A，DDR4的DQ66，详见表9-1。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
DDR_CB3_A	B20	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为 DDR5 的CB3_A，DDR4的DQ67，详见表9-1。
DDR_CB4_A	D19	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为 DDR5 的CB4_A，DDR4的DQ68，详见表9-1。
DDR_CB5_A	D18	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为 DDR5 的CB5_A，DDR4的DQ69，详见表9-1。
DDR_CB6_A	C18	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为 DDR5 的CB6_A，DDR4的DQ70，详见表9-1。
DDR_CB7_A	F18	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为 DDR5 的CB7_A，DDR4的DQ71，详见表9-1。
DDR_CB0_B	E17	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为 CB0_B/PAR/CB0_A，详见表9-1。
DDR_CB1_B	C17	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为 CB1_B/A0/CB1_A，详见表9-1。
DDR_CB2_B	A18	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为 CB2_B/BA1/CB2_A，详见表9-1。
DDR_CB3_B	B17	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为 CB3_B/BA0/CB3_A，详见表9-1。
DDR_CB4_B	G16	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为 CB4_B/A16/CB4_A，详见表9-1。
DDR_CB5_B	E16	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为 CB5_B/A14/CB5_A，详见表9-1。
DDR_CB6_B	A15	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为 CB6_B/A15/CB6_A，详见表9-1。
DDR_CB7_B	D16	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为 CB7_B/A13/CB7_A，详见表9-1。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
DDR_DQS0_T_A	F27	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR DQS 差分信号。
DDR_DQS0_C_A	F26	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR DQS 差分信号。
DDR_DQS1_T_A	C29	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR DQS 差分信号。
DDR_DQS1_C_A	B29	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR DQS 差分信号。
DDR_DQS2_T_A	B25	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR DQS 差分信号。
DDR_DQS2_C_A	A25	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR DQS 差分信号。
DDR_DQS3_T_A	B22	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR DQS 差分信号。
DDR_DQS3_C_A	A22	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR DQS 差分信号。
DDR_DQS4_T_A	A19	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR DQS 差分信号。
DDR_DQS4_C_A	B19	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR DQS 差分信号。
DDR_DQS0_T_B	B14	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR DQS 差分信号。
DDR_DQS0_C_B	C14	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR DQS 差分信号。
DDR_DQS1_T_B	B11	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR DQS 差分信号。
DDR_DQS1_C_B	C11	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR DQS 差分信号。
DDR_DQS2_T_B	C9	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR DQS 差分信号。
DDR_DQS2_C_B	D9	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR DQS 差分信号。
DDR_DQS3_T_B	B5	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR DQS 差分信号。
DDR_DQS3_C_B	C5	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR DQS 差分信号。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
DDR_DQS4_T_B	A16	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR DQS 差分信号，DDR4 32bit场景作为CS0_N_D0，详见表9-1。
DDR_DQS4_C_B	B16	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR DQS 差分信号。
DDR_CA0_A	H5	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA0_A/ACT_N，详见表9-1。
DDR_CA1_A	K3	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA1_A/BG1，详见表9-1。
DDR_CA2_A	G4	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA2_A/BQ0，详见表9-1。
DDR_CA3_A	K7	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA3_A/A12，详见表9-1。
DDR_CA4_A	L7	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA4_A/A11，详见表9-1。
DDR_CA5_A	G1	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA5_A/A9，详见表9-1。
DDR_CA6_A	E2	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA6_A/A7，详见表9-1。
DDR_CA7_A	J4	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA7_A/A8，详见表9-1。
DDR_CA8_A	E3	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA8_A/A6，详见表9-1。
DDR_CA9_A	H3	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA9_A/A5，详见表9-1。
DDR_CA10_A	H2	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA10_A/A4，详见表9-1。
DDR_CA11_A	G2	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA11_A/A3，详见表9-1。
DDR_CA12_A	E4	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA12_A/A2，详见表9-1。
DDR_CA0_B	J6	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA13_A/A1，详见表9-1。
DDR_CA1_B	D2	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA1_B/ODT1_D0，详见表9-1。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
DDR_CA2_B	J7	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA2_B/CKE0_D0，详见表9-1。
DDR_CA3_B	B4	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA3_B/PAR，详见表9-1。
DDR_CA4_B	C1	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA4_B/A0，详见表9-1。
DDR_CA5_B	F5	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA5_B/BA1，详见表9-1。
DDR_CA6_B	E6	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA6_B/BA0，详见表9-1。
DDR_CA7_B	C2	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA7_B/ CS0_n_D0，详见表9-1。
DDR_CA8_B	D5	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA8_B/ CS1_n_D0，详见表9-1。
DDR_CA9_B	A4	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA9_B/A10，详见表9-1。
DDR_CA10_B	F7	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA10_B/A16，详见表9-1。
DDR_CA11_B	B2	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA11_B/A14，详见表9-1。
DDR_CA12_B	G8	独占	O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	不同情况下，分别作为CA12_B/A15，详见表9-1。
DDR_DQ0_A	F30	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线，DQ0。
DDR_DQ1_A	F29	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线，DQ1。
DDR_DQ2_A	D3 0	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线，DQ2。
DDR_DQ3_A	E29	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线，DQ3。
DDR_DQ4_A	D2 8	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线，DQ4。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
DDR_DQ5_A	E26	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ5。
DDR_DQ6_A	G2 4	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ6。
DDR_DQ7_A	D2 7	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ7。
DDR_DQ8_A	C27	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ8。
DDR_DQ9_A	C26	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ9。
DDR_DQ10_A	F24	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ10。
DDR_DQ11_A	G2 2	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ11。
DDR_DQ12_A	D2 5	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ12。
DDR_DQ13_A	E25	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ13。
DDR_DQ14_A	B28	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ14。
DDR_DQ15_A	F23	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ15。
DDR_DQ16_A	C24	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ16。
DDR_DQ17_A	E23	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ17。
DDR_DQ18_A	A2 8	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ18。
DDR_DQ19_A	A2 7	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ19。
DDR_DQ20_A	G2 1	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ20。
DDR_DQ21_A	D2 4	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ21。
DDR_DQ22_A	E22	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ22。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
DDR_DQ23_A	F21	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ23。
DDR_DQ24_A	C23	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ24。
DDR_DQ25_A	D2 2	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ25。
DDR_DQ26_A	A2 4	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ26。
DDR_DQ27_A	B23	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ27。
DDR_DQ28_A	G1 9	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ28。
DDR_DQ29_A	E20	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ29。
DDR_DQ30_A	C21	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ30。
DDR_DQ31_A	D2 1	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ31。
DDR_DQ0_B	G1 5	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ32; DDR5 32bit: DQ0_A。
DDR_DQ1_B	F15	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ33; DDR5 32bit: DQ1_A。
DDR_DQ2_B	C15	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ34; DDR5 32bit: DQ2_A。
DDR_DQ3_B	D1 5	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ35; DDR5 32bit: DQ3_A。
DDR_DQ4_B	F14	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ36; DDR5 32bit: DQ4_A。
DDR_DQ5_B	B13	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ37; DDR5 32bit: DQ5_A。
DDR_DQ6_B	A1 2	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ38; DDR5 32bit: DQ6_A。
DDR_DQ7_B	E14	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ39; DDR5 32bit: DQ7_A。
DDR_DQ8_B	C12	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ40; DDR5 32bit: DQ8_A。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
DDR_DQ9_B	D1 2	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ41; DDR5 32bit: DQ9_A。
DDR_DQ10_B	D1 3	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ42; DDR5 32bit: DQ10_A。
DDR_DQ11_B	E13	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ43; DDR5 32bit: DQ11_A。
DDR_DQ12_B	G1 2	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ44; DDR5 32bit: DQ12_A。
DDR_DQ13_B	A1 0	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ45; DDR5 32bit: DQ13_A。
DDR_DQ14_B	E11	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ46; DDR5 32bit: DQ14_A。
DDR_DQ15_B	F12	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ47; DDR5 32bit: DQ15_A。
DDR_DQ16_B	F11	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ48; DDR5 32bit: DQ16_A。
DDR_DQ17_B	B10	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ49; DDR5 32bit: DQ17_A。
DDR_DQ18_B	A7	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ50; DDR5 32bit: DQ18_A。
DDR_DQ19_B	B8	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ51; DDR5 32bit: DQ19_A。
DDR_DQ20_B	D1 0	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ52; DDR5 32bit: DQ20_A。
DDR_DQ21_B	C8	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ53; DDR5 32bit: DQ21_A。
DDR_DQ22_B	A9	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ54; DDR5 32bit: DQ22_A。
DDR_DQ23_B	G1 0	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ55; DDR5 32bit: DQ23_A。
DDR_DQ24_B	G9	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ56; DDR5 32bit: DQ24_A。
DDR_DQ25_B	B7	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ57; DDR5 32bit: DQ25_A。
DDR_DQ26_B	A6	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ58; DDR5 32bit: DQ26_A。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
DDR_DQ27_B	C6	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ59; DDR5 32bit: DQ27_A。
DDR_DQ28_B	E8	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ60; DDR5 32bit: DQ28_A。
DDR_DQ29_B	D6	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ61; DDR5 32bit: DQ29_A。
DDR_DQ30_B	F8	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ62; DDR5 32bit: DQ30_A。
DDR_DQ31_B	D7	独占	I/O	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR数据线, DQ63; DDR5 32bit: DQ31_A。
DDR_ALERT_N	F1	独占	I	DIGITAL 1.2V/ 1.1V SSTL	1600MHz	DDR4/5的alert_n信号。
DDR_LBD	K1	独占	I	Analog 1.2V/ 1.1V SSTL	-	DDR的loopback测试IO。
DDR_LBS	K2	独占	I	Analog 1.2V/ 1.1V SSTL	-	DDR的loopback测试IO。
DDR_ATB0	J1	独占	O	Analog 1.2V/ 1.1V SSTL	-	(PLL, DLL等的)模拟输出, ATO的输出可在DDR PHY的寄存器选择, 默认是 tri-state, 可选的输出包括: AC Pll analog test signal, DATX8[8:0]的analog test signal。
DDR_ATB1	K4	独占	O	Analog 1.2V/ 1.1V SSTL	-	(PLL, DLL等的)模拟输出, ATO的输出可在DDR PHY的寄存器选择, 默认是 tri-state, 可选的输出包括: AC Pll analog test signal, DATX8[8:0]的analog test signal。
DDR_TST0_P	J3	独占	O	Analog 1.2V/ 1.1V SSTL	-	DDR的差分测试信号P (说明: 这一对差分测试信号主要是用于DDR5 DRAM的 loopback, 从dq, dqs输入到 dram, 环回到SOC侧, 会经过LBD、LDS, 然后进行结果观测)。
DDR_TST0_N	J2	独占	O	Analog 1.2V/ 1.1V SSTL	-	DDR的差分测试信号N。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
DDR_ZQ0	D3	独占	O	Analog 1.2V/ 1.1V None	-	DDR参考电阻，无论连接DDR5 SDRAM还是DDR4 SDRAM，外接240Ω(TBD)/1%精度电阻。
DDRC_UTXD	AH4	复用	O	DIGITAL 1.8V LVCMOS	3.5Mbps	DDRC内置MCU的调试用UART的发送数据。
DDRC_URXD	AJ5	复用	Ipu	DIGITAL 1.8V LVCMOS	3.5Mbps	DDRC内置MCU的调试用UART的接收数据。

1.4.3.7 SerDes 接口管脚列表

表 1-11 SerDes 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
QL_REFCLK_INP0	T29	独占	I	DIGITAL 1.8V CML	156.25MHz/100MHz	SerDes参考时钟0，支持156.25MHz/100MHz。
QL_REFCLK_INM0	T30	独占	I	DIGITAL 1.8V CML	156.25MHz/100MHz	SerDes参考时钟0，支持156.25MHz/100MHz。
QL_REFCLK_INP1	T27	独占	I	DIGITAL 1.8V CML	156.25MHz/100MHz	SerDes参考时钟1，支持156.25MHz/100MHz。
QL_REFCLK_INM1	T26	独占	I	DIGITAL 1.8V CML	156.25MHz/100MHz	SerDes参考时钟1，支持156.25MHz/100MHz。
QL0_L0_PAD_TXOP	AD27	独占	O	Analog CML	详见表5-2	SerDes macro0，LANE0，支持GE/2.5GE/QSGMII/PCIE。
QL0_L0_PAD_TXOM	AD26	独占	O	Analog CML	详见表5-2	SerDes macro0，LANE0，支持GE/2.5GE/QSGMII/PCIE。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
QL0_L0_PAD_RXIP	AD30	独占	I	Analog CML	详见表5-2	SerDes macro0, LANE0, 支持GE/2.5GE/QSGMII/PCIE。
QL0_L0_PAD_RXIM	AD29	独占	I	Analog CML	详见表5-2	SerDes macro0, LANE0, 支持GE/2.5GE/QSGMII/PCIE。
QL0_L1_PAD_TXOP	AB27	独占	O	Analog CML	详见表5-2	SerDes macro0, LANE1, 支持GE/2.5GE/QSGMII/PCIE。
QL0_L1_PAD_TXOM	AB26	独占	O	Analog CML	详见表5-2	SerDes macro0, LANE1, 支持GE/2.5GE/QSGMII/PCIE。
QL0_L1_PAD_RXIP	AB30	独占	I	Analog CML	详见表5-2	SerDes macro0, LANE1, 支持GE/2.5GE/QSGMII/PCIE。
QL0_L1_PAD_RXIM	AB29	独占	I	Analog CML	详见表5-2	SerDes macro0, LANE1, 支持GE/2.5GE/QSGMII/PCIE。
QL0_L2_PAD_TXOP	Y27	独占	O	Analog CML	详见表5-2	SerDes macro0, LANE2, 最高10GE, GE/2.5GE/10GE。
QL0_L2_PAD_TXOM	Y26	独占	O	Analog CML	详见表5-2	SerDes macro0, LANE2, 最高10GE, GE/2.5GE/10GE。
QL0_L2_PAD_RXIP	Y30	独占	I	Analog CML	详见表5-2	SerDes macro0, LANE2, 最高10GE, GE/2.5GE/10GE。
QL0_L2_PAD_RXIM	Y29	独占	I	Analog CML	详见表5-2	SerDes macro0, LANE2, 最高10GE, GE/2.5GE/10GE。
QL0_L3_PAD_TXOP	V27	独占	O	Analog CML	详见表5-2	SerDes macro0, LANE3, 最高10GE, GE/2.5GE/10GE。
QL0_L3_PAD_TXOM	V26	独占	O	Analog CML	详见表5-2	SerDes macro0, LANE3, 最高10GE, GE/2.5GE/10GE。
QL0_L3_PAD_RXIP	V30	独占	I	Analog CML	详见表5-2	SerDes macro0, LANE3, 最高10GE, GE/2.5GE/10GE。
QL0_L3_PAD_RXIM	V29	独占	I	Analog CML	详见表5-2	SerDes macro0, LANE3, 最高10GE, GE/2.5GE/10GE。
QL1_L0_PAD_TXOP	AH27	独占	O	Analog CML	详见表5-2	SerDes macro1, LANE0, GE/2.5GE/10GE/QSGMII/SATA/PCIE/SGMII。
QL1_L0_PAD_TXOM	AH26	独占	O	Analog CML	详见表5-2	SerDes macro1, LANE0, GE/2.5GE/10GE/QSGMII/SATA/PCIE/SGMII。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
QL1_L0_PAD_RXIP	AH30	独占	I	Analog CML	详见表5-2	SerDes macro1, LANE0, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。
QL1_L0_PAD_RXIM	AH29	独占	I	Analog CML	详见表5-2	SerDes macro1, LANE0, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。
QL1_L1_PAD_TXOP	AF27	独占	O	Analog CML	详见表5-2	SerDes macro1, LANE1, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。
QL1_L1_PAD_TXOM	AF26	独占	O	Analog CML	详见表5-2	SerDes macro1, LANE1, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。
QL1_L1_PAD_RXIP	AF30	独占	I	Analog CML	详见表5-2	SerDes macro1, LANE1, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。
QL1_L1_PAD_RXIM	AF29	独占	I	Analog CML	详见表5-2	SerDes macro1, LANE1, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。
QL2_L0_PAD_TXOP	P27	独占	O	Analog CML	详见表5-2	SerDes macro2, LANE0, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。
QL2_L0_PAD_TXOM	P26	独占	O	Analog CML	详见表5-2	SerDes macro2, LANE0, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。
QL2_L0_PAD_RXIP	P30	独占	I	Analog CML	详见表5-2	SerDes macro2, LANE0, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。
QL2_L0_PAD_RXIM	P29	独占	I	Analog CML	详见表5-2	SerDes macro2, LANE0, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。
QL2_L1_PAD_TXOP	M26	独占	O	Analog CML	详见表5-2	SerDes macro2, LANE1, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。
QL2_L1_PAD_TXOM	M27	独占	O	Analog CML	详见表5-2	SerDes macro2, LANE1, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
QL2_L1_PAD_RXIP	M29	独占	I	Analog CML	详见表5-2	SerDes macro2, LANE1, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。
QL2_L1_PAD_RXIM	M30	独占	I	Analog CML	详见表5-2	SerDes macro2, LANE1, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。
QL2_L2_PAD_TXOP	K26	独占	O	Analog CML	详见表5-2	SerDes macro2, LANE2, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。
QL2_L2_PAD_TXOM	K27	独占	O	Analog CML	详见表5-2	SerDes macro2, LANE2, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。
QL2_L2_PAD_RXIP	K29	独占	I	Analog CML	详见表5-2	SerDes macro2, LANE2, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。
QL2_L2_PAD_RXIM	K30	独占	I	Analog CML	详见表5-2	SerDes macro2, LANE2, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。
QL2_L3_PAD_TXOP	H26	独占	O	Analog CML	详见表5-2	SerDes macro2, LANE3, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。
QL2_L3_PAD_TXOM	H27	独占	O	Analog CML	详见表5-2	SerDes macro2, LANE3, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。
QL2_L3_PAD_RXIP	H29	独占	I	Analog CML	详见表5-2	SerDes macro2, LANE3, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。
QL2_L3_PAD_RXIM	H30	独占	I	Analog CML	详见表5-2	SerDes macro2, LANE3, GE/2.5GE/10GE/QSGMII/SATA/PCle/SGMII。
QL2_EXTRESISTOR	AA24	独占	-	-	-	2kΩ+/-1%。



1.4.3.8 RGMII 接口管脚列表

表 1-12 RGMII 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
RGMIIIn_TXD_3	AE20	复用	O	DIGITAL 1.8V LVCMOS	250Mbps	RGMII接口发送数据线。
RGMIIIn_TXD_2	AF20	复用	O	DIGITAL 1.8V LVCMOS	250Mbps	RGMII接口发送数据线。
RGMIIIn_TXD_1	AF21	复用	O	DIGITAL 1.8V LVCMOS	250Mbps	RGMII接口发送数据线。
RGMIIIn_TXD_0	AE21	复用	O	DIGITAL 1.8V LVCMOS	250Mbps	RGMII接口发送数据线。
RGMIIIn_TX_CTL	AD21	复用	O	DIGITAL 1.8V LVCMOS	250Mbps	RGMII接口发送使能信号 (RGMII_TX_CT)。
RGMIIIn_TXER	AG19	复用	O	DIGITAL 1.8V LVCMOS	250Mbps	RGMII TX error。 Hi309a未使用。
RGMIIIn_TXCLK	AD20	复用	I/O	DIGITAL 1.8V LVCMOS	125MHz	RGMII接口发送时钟，RGMII模式该时钟是输出，MII模式该时钟是输入。
RGMIIIn_RXD_3	AG21	复用	lpd	DIGITAL 1.8V LVCMOS	250Mbps	RGMII接口接收数据线。
RGMIIIn_RXD_2	AJ21	复用	lpd	DIGITAL 1.8V LVCMOS	250Mbps	RGMII接口接收数据线。
RGMIIIn_RXD_1	AJ22	复用	lpd	DIGITAL 1.8V LVCMOS	250Mbps	RGMII接口接收数据线。
RGMIIIn_RXD_0	AH22	复用	lpd	DIGITAL 1.8V LVCMOS	250Mbps	RGMII接口接收数据线。
RGMIIIn_RX_CTL	AF22	复用	lpd	DIGITAL 1.8V LVCMOS	250Mbps	RGMII接口接收数据有效指示 (RGMII_RX_CTL)。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
RGMIIn_RXER	AK21	复用	lpd	DIGITAL 1.8V LVCMOS	250Mbps	RGMIIn RX error。 Hi309a未使用。
RGMIIn_RXCLK	AK22	复用	lpd/ O	DIGITAL 1.8V LVCMOS	125MHz	RGMIIn接口接收时钟。

1.4.3.9 MII 接口管脚列表

表 1-13 MII 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
MII_TXD_3	AE20	复用	O	DIGITAL 1.8V LVCMOS	25Mbps	MIIn接口发送数据线。
MII_TXD_2	AF20	复用	O	DIGITAL 1.8V LVCMOS	25Mbps	MIIn接口发送数据线。
MII_TXD_1	AF21	复用	O	DIGITAL 1.8V LVCMOS	25Mbps	MIIn接口发送数据线。
MII_TXD_0	AE21	复用	O	DIGITAL 1.8V LVCMOS	25Mbps	MIIn接口发送数据线。
MII_TX_EN	AD21	复用	O	DIGITAL 1.8V LVCMOS	25Mbps	MIIn接口发送使能信号(RGMII_TX_CT)。
MII_TXCLK	AD20	复用	-	DIGITAL 1.8V LVCMOS	25Mbps	MIIn接口发送时钟，RGMII模式该时钟是输出，MIIn模式该时钟是输入。
MII_RXD_3	AG21	复用	lpd	DIGITAL 1.8V LVCMOS	25Mbps	MIIn接口接收数据线。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
MII_RXD_2	AJ21	复用	lpd	DIGITAL 1.8V LVCMOS	25Mbps	MII接口接收数据线。
MII_RXD_1	AJ22	复用	lpd	DIGITAL 1.8V LVCMOS	25Mbps	MII接口接收数据线。
MII_RXD_0	AH22	复用	lpd	DIGITAL 1.8V LVCMOS	25Mbps	MII接口接收数据线。
MII_RXDV	AF22	复用	lpd	DIGITAL 1.8V LVCMOS	25Mbps	MII接口接收数据有效指示 (RGMII_RX_CTL)。
MII_RXCLK	AK22	复用	lpd/O	DIGITAL 1.8V LVCMOS	25Mbps	MII/RMII接口接收时钟。

1.4.3.10 Local Bus 接口管脚列表

表 1-14 Local Bus 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
EBIWEN	AJ12	复用	O	DIGITAL 1.8V LVCMOS	25/75Mbps	SM_WE_N。
EBIOEN	AG12	复用	O	DIGITAL 1.8V LVCMOS	25/75Mbps	SM_OE_N。
EBIALE	AE12	复用	O	DIGITAL 1.8V LVCMOS	25/75Mbps	LOCAL BUS控制器输出的地址锁存信号，仅在AD复用模式下有效。
EBICTL	AF12	复用	O	DIGITAL 1.8V LVCMOS	25/75Mbps	SM_CTL_N，LOCAL BUS控制器输出的读写合一信号，高读低写还是低写高读寄存器可配置（上电默认默认高度低写）。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
EBICS0N	AJ13	复用	O	DIGITAL 1.8V LVCMOS	25/75Mbps	SM_S_SEL_N_0。
EBICS1N	AG13	复用	O	DIGITAL 1.8V LVCMOS	25/75Mbps	SM_S_SEL_N_1。
EBICS2N	AJ14	复用	O	DIGITAL 1.8V LVCMOS	25/75Mbps	SM_S_SEL_N_2。
EBICS3N	AJ7	复用	O	DIGITAL 1.8V LVCMOS	25/75Mbps	SM_S_SEL_N_3。
EBICS4N	AH7	复用	O	DIGITAL 1.8V LVCMOS	25/75Mbps	SM_S_SEL_N_4。
EBICS5N	AF8	复用	O	DIGITAL 1.8V LVCMOS	25/75Mbps	SM_S_SEL_N_5。
EBICS6N	AG9	复用	O	DIGITAL 1.8V LVCMOS	25/75Mbps	SM_S_SEL_N_6。
EBICS7N	AH14	复用	O	DIGITAL 1.8V LVCMOS	25/75Mbps	SM_S_SEL_N_7。
EBIBLS0	AH12	复用	O	DIGITAL 1.8V LVCMOS	25/75Mbps	SM_BS_N_0, LOCAL BUS控制器输出的BYTE选择信号, 低电平有效。
EBIBLS1	AD12	复用	O	DIGITAL 1.8V LVCMOS	25/75Mbps	SM_BS_N_1, LOCAL BUS控制器输出的BYTE选择信号, 低电平有效。
EBIAD0	AE13	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	EBIAD0, AD复用信号。 在复用模式, ALE有效时是A0, ALE无效时是D0; 在非复用模式是D0。
EBIAD1	AF13	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	EBIAD1, AD复用信号。 在复用模式, ALE有效时是A1, ALE无效时是D1; 在非复用模式是D1。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
EBIAD2	AE14	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	EBIAD2, AD复用信号。 在复用模式, ALE有效时是A2, ALE无效时是D2; 在非复用模式是D2。
EBIAD3	AD13	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	EBIAD3, AD复用信号。 在复用模式, ALE有效时是A3, ALE无效时是D3; 在非复用模式是D3。
EBIAD4	AK13	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	EBIAD4, AD复用信号。 在复用模式, ALE有效时是A4, ALE无效时是D4; 在非复用模式是D4。
EBIAD5	AD11	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	EBIAD5, AD复用信号。 在复用模式, ALE有效时是A5, ALE无效时是D5; 在非复用模式是D5。
EBIAD6	AF14	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	EBIAD6, AD复用信号。 在复用模式, ALE有效时是A6, ALE无效时是D6; 在非复用模式是D6。
EBIAD7	P6	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	EBIAD7, AD复用信号。 在复用模式, ALE有效时是A7, ALE无效时是D7; 在非复用模式是D7。
EBIAD8	P7	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	EBIAD8, AD复用信号。 在复用模式, ALE有效时是A8, ALE无效时是D8; 在非复用模式是D8。
EBIAD9	AJ6	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	EBIAD9, AD复用信号。 在复用模式, ALE有效时是A9, ALE无效时是D9; 在非复用模式是D9。
EBIAD10	AK11	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	EBIAD10, AD复用信号。 在复用模式, ALE有效时是 A10, ALE无效时是D10; 在非复用模式是D10。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
EBIAD11	AH15	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	EBIAD11，AD复用信号。 在复用模式，ALE有效时是A11，ALE无效时是D11； 在非复用模式是D11。
EBIAD12	AD14	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	EBIAD12，AD复用信号。 在复用模式，ALE有效时是A12，ALE无效时是D12； 在非复用模式是D12。
EBIAD13	AD16	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	EBIAD13，AD复用信号。 在复用模式，ALE有效时是A13，ALE无效时是D13； 在非复用模式是D13。
EBIAD14	AD17	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	EBIAD14，AD复用信号。 在复用模式，ALE有效时是A14，ALE无效时是D14； 在非复用模式是D14。
EBIAD15	AK18	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	EBIAD15，AD复用信号。 在复用模式，ALE有效时是A15，ALE无效时是D15； 在非复用模式是D15。
EBIAD16	AJ18	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	ebiad16，AD复用信号。 在复用模式，ALE有效时是A16，ALE无效时是D16； 在非复用模式是A0。
EBIAD17	AH18	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	ebiad17，AD复用信号。 在复用模式，ALE有效时是A17，ALE无效时是D17； 在非复用模式是A1。
EBIAD18	AF18	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	ebiad18，AD复用信号。 在复用模式，ALE有效时是A18，ALE无效时是D18； 在非复用模式是A2。
EBIAD19	AJ19	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	ebiad19，AD复用信号。 在复用模式，ALE有效时是A19，ALE无效时是D19； 在非复用模式是A3。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
EBIAD20	AK19	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	ebiad20, AD复用信号。 在复用模式, ALE有效时是A20, ALE无效时是D20; 在非复用模式是A4。
EBIAD21	AD18	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	ebiad21, AD复用信号。 在复用模式, ALE有效时是A21, ALE无效时是D21; 在非复用模式是A5。
EBIAD22	AE18	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	ebiad22, AD复用信号。 在复用模式, ALE有效时是A22, ALE无效时是D22; 在非复用模式是A6。
EBIAD23	AG8	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	ebiad23, AD复用信号。 在复用模式, ALE有效时是A23, ALE无效时是D23; 在非复用模式是A7。
EBIAD24	AF7	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	ebiad24, AD复用信号。 在复用模式, ALE有效时是A24, ALE无效时是D24; 在非复用模式是A8。
EBIAD25	AJ8	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	ebiad25, AD复用信号。 在复用模式, ALE有效时是A25, ALE无效时是D25; 在非复用模式是A9。
EBIAD26	AH8	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	ebiad26, AD复用信号。 在复用模式, ALE有效时是A26, ALE无效时是D26; 在非复用模式是A10。
EBIAD27	AE8	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	ebiad27, AD复用信号。 在复用模式, ALE有效时是A27, ALE无效时是D27; 在非复用模式是A11。
EBIAD28	AF9	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	ebiad28, AD复用信号。 在复用模式, ALE有效时是A28, ALE无效时是D28; 在非复用模式是A12。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
EBIAD29	AE9	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	ebiad29, AD复用信号。 在复用模式, ALE有效时是A29, ALE无效时是D29; 在非复用模式是A13。
EBIAD30	AD8	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	ebiad30, AD复用信号。 在复用模式, ALE有效时是A30, ALE无效时是D30; 在非复用模式是A14。
EBIAD31	AF19	复用	I/O	DIGITAL 1.8V LVCMOS	25/75Mbps	ebiad31, AD复用信号。 在复用模式, ALE有效时是A31, ALE无效时是D31; 在非复用模式是A15。
SMREADY	AK14	复用	Ipu	DIGITAL 1.8V LVCMOS	25/75Mbps	SM_READY, 外部输入LOCAL BUS控制器的异步等待信号。

1.4.3.11 SFC 接口管脚列表

表 1-15 SFC 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	频率	描述
SFC0_SPICLK	W3	复用	O	50MHz	SFC时钟信号, 单沿50MHz, 双沿支撑100Mbps。
SFC0_SPICS0	W4	复用	O	50MHz	SFC的片选0信号, 低有效, 小系统启动接该片选。
SFC0_SPICS1	W5	复用	O	50MHz	SFC的片选1信号, 低有效。
SFC0_SPI_DQ0	W7	复用	I/O	50MHz	在Standard SPI模式为数据输出信号(接颗粒的输入); Dual及Quad模式下为双向数据信号DQ0。
SFC0_SPI_DQ1	Y2	复用	I/O	50MHz	在Standard SPI模式为数据输入信号(接颗粒的输出); Dual及Quad模式下为双向数据信号DQ1。
SFC0_WP_DQ2	Y3	复用	I/O	50MHz	在Standard 及Dual模式为write protect功能, 默认低电平表示写保护, 支持输出控制电平可配; Quad模式下为双向数据信号DQ2。



功能名称	位置	是否复用管脚	管脚类型	频率	描述
SFC0_HOLD_DQ3	Y4	复用	I/O	50MHz	在Standard 及Dual模式为HOLD功能，默认低电平表示进入HOLD状态，支持输出控制电平可配；Quad模式下为双向数据信号DQ3。
SFC0_HOLD1_DQ3	Y5	复用	I/O	50MHz	在Standard 及Dual模式为HOLD功能，默认低电平表示进入HOLD状态，支持输出控制电平可配；Quad模式下为双向数据信号DQ3。
SFC0_RST	Y6	复用	O	50MHz	SFC Flash的复位信号，低电平有效。
SFC1_SPICLK	T3	复用	O	50MHz	SFC SPI时钟，边沿有效，支持有效沿可配置，默认上升沿有效。
SFC1_SPICS0	T6	复用	O	50MHz	SFC1 SPI片选0，默认低电平选中对应FLASH器件，支持输出控制电平可配。
SFC1_SPICS1	T4	复用	O	50MHz	SFC1 SPI片选1，默认低电平选中对应FLASH器件，支持输出控制电平可配。
SFC1_RST	U5	复用	O	50MHz	NOR FLASH 2&3复位信号，默认低电平复位，支持软件控制，支持输出复位电平可配。
SFC1_SPI_DQ0	V1	复用	I/O	50MHz	在Standard SPI模式为数据输出信号；Dual及Quad模式下为双向数据信号DQ0。
SFC1_SPI_DQ1	U6	复用	I/O	50MHz	在Standard SPI模式为数据输入信号；Dual及Quad模式下为双向数据信号DQ1。
SFC1_WP_DQ2	V2	复用	I/O	50MHz	在Standard 及Dual模式为write protect功能，默认低电平表示写保护，支持输出控制电平可配；Quad模式下为双向数据信号DQ2。
SFC1_HOLD_DQ3	V4	复用	I/O	50MHz	在Standard 及Dual模式为HOLD功能，默认低电平表示进入HOLD状态，支持输出控制电平可配；Quad模式下为双向数据信号DQ3。
SFC1_HOLD1_DQ3	V5	复用	I/O	50MHz	在Standard 及Dual模式为HOLD功能，默认低电平表示进入HOLD状态，支持输出控制电平可配；Quad模式下为双向数据信号DQ3。

1.4.3.12 NANDC 接口管脚列表

表 1-16 NANDC 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
NAND_WP_N	T2	复用	O	DIGITAL 1.8V LVCMOS	1MHz	写保护信号，低电平启用颗粒的写保护。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
NAND_DQS	W2	复用	I/O	DIGITAL 1.8V LVCMOS	200MHz	NANDC的Data Strobe信号。
NAND_WR	T3	复用	O	DIGITAL 1.8V LVCMOS	200MHz	NANDC输出时钟/WR复用信号，对于美光Onfi2.3的同步NAND，作为clk；对于Toggle和异步Nand，作为WR写使能信号，上升沿锁存发送给颗粒的指令、地址、数据。
NAND_RDY0	U1	复用	lpu	DIGITAL 1.8V LVCMOS	100MHz	Ready/Busy信号0，低电平表示NAND在Busy状态，高电平表示NAND在Ready状态，NAND颗粒端为OD输出。
NAND_CSN0	T6	复用	O	DIGITAL 1.8V LVCMOS	200MHz	片选信号0，低电平选中对应NAND FLASH。
NAND_RDY1	T7	复用	lpu	DIGITAL 1.8V LVCMOS	100MHz	Ready/Busy信号1，低电平表示NAND在Busy状态，高电平表示NAND在Ready状态，NAND颗粒端为OD输出。
NAND_CSN1	T4	复用	O	DIGITAL 1.8V LVCMOS	200MHz	片选信号1，低电平选中对应NAND FLASH。
NAND_RDY2	R5	复用	lpu	DIGITAL 1.8V LVCMOS	200MHz	Ready/Busy信号2，低电平表示NAND在Busy状态，高电平表示NAND在Ready状态，NAND颗粒端为OD输出。
NAND_CSN2	R6	复用	O	DIGITAL 1.8V LVCMOS	200MHz	片选信号2，低电平选中对应NAND FLASH。
NAND_RDY3	R2	复用	lpu	DIGITAL 1.8V LVCMOS	100MHz	Ready/Busy信号3，低电平表示NAND在Busy状态，高电平表示NAND在Ready状态，NAND颗粒端为OD输出。
NAND_CSN3	R3	复用	O	DIGITAL 1.8V LVCMOS	200MHz	片选信号3，低电平选中对应NAND FLASH。
NAND_ALE	U5	复用	O	DIGITAL 1.8V LVCMOS	200MHz	地址锁存使能信号，高电平表示地址有效。
NAND_CLE	U3	复用	O	DIGITAL 1.8V LVCMOS	200MHz	指令锁存使能信号，高电平表示指令有效。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
NAND_RD	U2	复用	O	DIGITAL 1.8V LVCMOS	200MHz	读使能信号，下降沿触发颗粒输出数据。
NAND_DATA 0	U6	复用	I/O	DIGITAL 1.8V LVCMOS	200MHz	NAND数据线0。
NAND_DATA 1	V1	复用	I/O	DIGITAL 1.8V LVCMOS	200MHz	NAND数据线1。
NAND_DATA 2	V2	复用	I/O	DIGITAL 1.8V LVCMOS	200MHz	NAND数据线2。
NAND_DATA 3	V4	复用	I/O	DIGITAL 1.8V LVCMOS	200MHz	NAND数据线3。
NAND_DATA 4	V5	复用	I/O	DIGITAL 1.8V LVCMOS	200MHz	NAND数据线4。
NAND_DATA 5	V6	复用	I/O	DIGITAL 1.8V LVCMOS	200MHz	NAND数据线5。
NAND_DATA 6	V7	复用	I/O	DIGITAL 1.8V LVCMOS	200MHz	NAND数据线6。
NAND_DATA 7	W1	复用	I/O	DIGITAL 1.8V LVCMOS	200MHz	NAND数据线7。

1.4.3.13 EMMC 接口管脚列表

表 1-17 EMMC 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
EMMC_RST_N	U5	复用	O	DIGITAL 1.8V LVCMOS	1MHz	硬复位EMMC 器件，低电平复位。EMMC器件端默认该信号无效，需要通过寄存器配置使能。
EMMC_CMD	U3	复用	I/O	DIGITAL 1.8V LVCMOS	26MHz	指令/响应信号，控制器向EMMC器件发送指令，EMMC对控制器发送响应。
EMMC_CLK	U2	复用	O	DIGITAL 1.8V LVCMOS	26MHz	时钟信号，用于指令及数据采样。
EMMC_DATA0	U6	复用	I/O	DIGITAL 1.8V LVCMOS	26MHz	DATA0 INPUT/OUTPUT BUS，共4bit。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
EMMC_DATA1	V1	复用	I/O	DIGITAL 1.8V LVCMOS	26MHz	DATA1 INPUT/OUTPUT BUS，共4bit。
EMMC_DATA2	V2	复用	I/O	DIGITAL 1.8V LVCMOS	26MHz	DATA2 INPUT/OUTPUT BUS，共4bit。
EMMC_DATA3	V4	复用	I/O	DIGITAL 1.8V LVCMOS	26MHz	DATA3 INPUT/OUTPUT BUS，共4bit。

1.4.3.14 SDC 接口管脚列表

表 1-18 SDC 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
SDC_CLK	AF2 4	复用	O	DIGITAL 1.8V LVCMOS	25MHz	SD卡接口的时钟信号。
SDC_DATA3	AE2 4	复用	I/O	DIGITAL 1.8V LVCMOS	25MHz	SD卡接口的Data3信号。
SDC_DATA2	AD2 4	复用	I/O	DIGITAL 1.8V LVCMOS	25MHz	SD卡接口的Data2信号。
SDC_DATA1	AD2 3	复用	I/O	DIGITAL 1.8V LVCMOS	25MHz	SD卡接口的Data1信号。
SDC_DATA0	AG2 3	复用	I/O	DIGITAL 1.8V LVCMOS	25MHz	SD卡接口的Data0信号。
SDC_CMD	AF2 3	复用	Ipu/O	DIGITAL 1.8V LVCMOS	25MHz	SD卡接口的CMD信号（说明SDC IP，CMD信号是双向的）。



1.4.3.15 USB2.0 接口管脚列表

表 1-19 USB 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
USB_DP0	AF2	独占	I/O	Analog 3.3V None	450Mbps	USB0端口的D+数据线, host only。
USB_DM0	AF1	独占	I/O	Analog 3.3V None	450Mbps	USB0端口的D-数据线, host only。
USB_DP1	AK28	独占	I/O	Analog 3.3V None	450Mbps	USB1端口的D+数据线, USB2模式OTG。
USB_DM1	AK27	独占	I/O	Analog 3.3V None	450Mbps	USB1端口的D-数据线, USB2模式OTG。
USB_VBUS	AJ3	复用	lpd	DIGITAL 1.8V LVCMOS	1MHz	USB1的device模式下的检测输入: 是否插入到host。 通过30k电阻(1%偏差)连接到5V。
POWER_EN_HST	AE10	复用	O	DIGITAL 1.8V LVCMOS	1MHz	USB0端口电源控制输出管脚, 默认输出低电平。
USB_OVRCUR_HST	AD10	复用	lpd	DIGITAL 1.8V LVCMOS	1MHz	USB0端口的端口过流指示信号。
USB_OVRCUR	AK3	复用	lpd	DIGITAL 1.8V LVCMOS	1MHz	USB1端口的端口过流指示信号。
POWER_EN	AH3	复用	O	DIGITAL 1.8V LVCMOS	1MHz	USB1端口电源控制输出管脚, 默认输出低电平。

1.4.3.16 JTAG 接口管脚列表

表 1-20 JTAG 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
TDI	AK7	独占	lpu	DIGITAL 1.8V LVCMOS	25MHz	JTAG TDI。
TCK	AK5	独占	lpd	DIGITAL 1.8V LVCMOS	25MHz	JTAG TCK。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
TRSTN	AK6	独占	lpd	DIGITAL 1.8V LVCMOS	25MHz	JTAG TRSTN。
TMS	AD7	独占	lpu	DIGITAL 1.8V LVCMOS	25MHz	JTAG TMS。
TDO	AD6	独占	I/O	DIGITAL 1.8V LVCMOS	25MHz	JTAG TDO，带OEN。

1.4.3.17 UART 接口管脚列表

表 1-21 UART 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
URXD0	AJ16	复用	lpu	DIGITAL 1.8V LVCMOS	3.5MHz	UART0 RX信号，用作调试串口，需要进行上拉确保起始信号能被正确检测到； 默认启动AP的UART端口。
UTXD0	AH16	复用	O	DIGITAL 1.8V LVCMOS	3.5MHz	UART0 TX信号，同上。
URXD01	AE16	复用	lpu	DIGITAL 1.8V LVCMOS	3.5MHz	UART接送收据，UART0“重定向”的接收数据。
UART_CTRL	AF16	复用	lpd	DIGITAL 1.8V LVCMOS	3.5MHz	UART控制接口（控制UART0，URXD0和URXD01(GPIO129)可通过该信号控制）配0就是选URXD0，配1就是URXD01。
CTS0	AE5	复用	-	DIGITAL 1.8V LVCMOS	1MHz	UART0作为4线UART时的CTS0。
RTS0	AG4	复用	O	DIGITAL 1.8V LVCMOS	1MHz	UART0作为4线UART时的RTS0。
URXD1	AF17	复用	lpu	DIGITAL 1.8V LVCMOS	3.5MHz	UART1 RX信号。
UTXD1	AG17	复用	O	DIGITAL 1.8V LVCMOS	3.5MHz	UART1 TX信号。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
URXD2	P1	复用	Ipu	DIGITAL 1.8V LVCMOS	1MHz	UART2 RX信号。
UTXD2	P2	复用	O	DIGITAL 1.8V LVCMOS	1MHz	UART2 TX信号，同上。

1.4.3.18 ESPI 接口管脚列表

表 1-22 ESPI 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
ESPI0_CLK0	AD11	复用	O	DIGITAL 1.8V LVCMOS	50MHz	ESPI0时钟0。
ESPI0_CLK1	AJ12	复用	O	DIGITAL 1.8V LVCMOS	50MHz	ESPI0时钟1。
ESPI0_CS0	AE12	复用	O	DIGITAL 1.8V LVCMOS	50MHz	ESPI0片选0。
ESPI0_CS1	AG12	复用	O	DIGITAL 1.8V LVCMOS	50MHz	ESPI0片选1。
ESPI0_CS2	AJ13	复用	O	DIGITAL 1.8V LVCMOS	50MHz	ESPI0片选2。
ESPI0_CS3	AG13	复用	O	DIGITAL 1.8V LVCMOS	50MHz	ESPI0片选3。
ESPI0_D0	AF12	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	ESPI0总线数据0。
ESPI0_D1	AH12	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	ESPI0总线数据1。
ESPI0_D2	AD12	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	ESPI0总线数据2。
ESPI0_D3	AE13	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	ESPI0总线数据3。
ESPI0_D4	AF13	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	ESPI0总线数据4。
ESPI0_D5	AE14	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	ESPI0总线数据5。
ESPI0_D6	AD13	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	ESPI0总线数据6。
ESPI0_D7	AK13	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	ESPI0总线数据7。
ESPI0_RDY	AJ14	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	ESPI0 Ready信号。
ESPI5_CLK	AJ7	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	ESPI5时钟。
ESPI5_CS0	AH7	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	ESPI5片选0。
ESPI5_CS1	AF8	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	ESPI5片选1。
ESPI5_D0	AG8	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	ESPI5总线数据0。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
ESPI5_D1	AF7	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	ESPI5总线数据1。
ESPI5_D2	AJ8	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	ESPI5总线数据2。
ESPI5_D3	AH8	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	ESPI5总线数据3。
ESPI5_D4	AE8	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	ESPI5总线数据4。
ESPI5_D5	AF9	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	ESPI5总线数据5。
ESPI5_D6	AE9	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	ESPI5总线数据6。
ESPI5_D7	AD8	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	ESPI5总线数据7。
ESPI5_RDY	AG9	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	ESPI5 Ready信号。

1.4.3.19 SPI 接口管脚列表

表 1-23 SPI 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
SPICK0	AK9	复用	O	DIGITAL 1.8V LVCMOS	50MHz	SPI0接口时钟。
SPIDI0	AK10	复用	Ipu	DIGITAL 1.8V LVCMOS	50MHz	SPI0接口数据输入。
SPIDO0	AJ10	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	SPI0接口数据输出，建议使用GPIO模拟三线SP模式时，以此管脚作为输入/输出。
SPICSN0_0	AH10	复用	O	DIGITAL 1.8V LVCMOS	50MHz	SPI0片选0。
SPICSN0_1	AF10	复用	O	DIGITAL 1.8V LVCMOS	50MHz	SPI0片选1。
SPICK2	AD3	复用	O	DIGITAL 1.8V LVCMOS	50MHz	SPI2接口时钟。
SPICSN2_0	AD4	复用	O	DIGITAL 1.8V LVCMOS	50MHz	SPI2片选0。
SPICSN2_1	AD2	复用	O	DIGITAL 1.8V LVCMOS	50MHz	SPI2片选1。
SPIDO2	AE1	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	SPI2接口数据输出，建议使用GPIO模拟三线SP模式时，以此管脚作为输入/输出。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
SPIDI2	AE3	复用	lpd	DIGITAL 1.8V LVCMOS	50MHz	SPI2接口数据输入。
SPIDI3	AD22	复用	lpd	DIGITAL 1.8V LVCMOS	50MHz	SPI3接口数据输入。
SPICK3	AE22	复用	O	DIGITAL 1.8V LVCMOS	50MHz	SPI3接口时钟。
SPIDO3	AK23	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	SPI3接口数据输出，建议使用GPIO模拟三线SP模式时，以此管脚作为输入/输出。
SPICSN3_0	AJ23	复用	O	DIGITAL 1.8V LVCMOS	50MHz	SPI3片选0。
SPICSN3_1	AH23	复用	O	DIGITAL 1.8V LVCMOS	50MHz	SPI3片选1。
SPICK1	P4	复用	O	DIGITAL 1.8V LVCMOS	50MHz	SPI1接口时钟。
SPIDI1	N3	复用	lpu	DIGITAL 1.8V LVCMOS	50MHz	SPI1接口数据输入。
SPIDO1	P5	复用	I/O	DIGITAL 1.8V LVCMOS	50MHz	SPI1接口数据输出，建议使用GPIO模拟三线SP模式时，以此管脚作为输入/输出。
SPICSN1_0	N5	复用	O	DIGITAL 1.8V LVCMOS	50MHz	SPI1片选0。

1.4.3.20 I2C 接口管脚列表

表 1-24 I2C 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
SDA0	AA2	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	1.7MHz	I2C0数据，是OD门。
SCL0	AA3	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	3.4MHz	I2C0时钟，是OD门。
SDA1	AK15	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	1.7MHz	I2C1数据，是OD门。
SCL1	AJ15	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	3.4MHz	I2C1时钟，是OD门。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
SCL2	AH1	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	3.4MHz	I2C2时钟，是OD门。
SDA2	AJ2	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	1.7MHz	I2C2数据，是OD门。
SCL3	AH4	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	3.4MHz	I2C3时钟，是OD门。
SDA3	AJ5	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	1.7MHz	I2C3数据，是OD门。
SDA4	AE6	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	1.7MHz	I2C4数据，是OD门。
SCL4	AF6	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	3.4MHz	I2C4时钟，是OD门。
SDA5	AF5	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	1.7MHz	I2C5数据，是OD门。
SCL5	AF4	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	3.4MHz	I2C5时钟，是OD门。
SDA6	AG1 1	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	1.7MHz	I2C6数据，是OD门。
SCL6	AF1 1	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	3.4MHz	I2C6时钟，是OD门。
SDA7	AF1 5	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	1.7MHz	I2C7数据，是OD门。
SCL7	AD1 5	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	3.4MHz	I2C7时钟，是OD门。

1.4.3.21 RTC 接口管脚列表

表 1-25 RTC 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
RTC_CLKI N	AH24	复用	I	DIGITAL 1.8V LVCMOS	25MHz	1588功能所需的25M RTC clk输入。
RTC_SDA	AE6	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	-	网络RTC的SDA信号（类I2C接口）。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
RTC_SCL	AF6	复用	Iod	DIGITAL 1.8V LVCMOS	3.4MHz	网络RTC的SCL信号（类I2C接口）。
1PPS_TEST_OUT	AJ23	复用	O	DIGITAL 1.8V LVCMOS	1MHz	1588的1pps测试输出信号。
CLK_1PPS	AH23	复用	Ipd	DIGITAL 1.8V LVCMOS	1MHz	1588功能的输入1s参考钟（说明：1pps + I2C接口的下发刷新速率最大可支持5k次/S）。

1.4.3.22 PMBUS 接口管脚列表

表 1-26 PMBUS 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
PMBUS0_DATA	AE6	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	1.7MHz	OD _i 门(open drain)，PMBUS0协议的数据。
PMBUS0_CLK	AF6	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	3.4MHz	OD _i 门(open drain)，PMBUS0协议的时钟（这个PMBUS时钟管脚和下面的数据管脚用于与支持PMBUS协议的电源管理芯片连接，即PMBUS和支持IMVP协议的电源管理芯片只会选择其中一种）。
PMBUS1_DATA	AF5	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	1.7MHz	OD _i 门(open drain)，PMBUS1协议的数据。
PMBUS1_CLK	AF4	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	3.4MHz	OD _i 门(open drain)，PMBUS1协议的时钟（这个PMBUS时钟管脚和下面的数据管脚用于与支持PMBUS协议的电源管理芯片连接，即PMBUS和支持IMVP协议的电源管理芯片只会选择其中一种）。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
PMBUS1_ALERT	AF3	复用	Ipu	DIGITAL 1.8V LVCMOS	1MHz	PMBUS电源告警信号。
PMBUS2_DATA	AG11	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	1.7MHz	OD门(open drain), PMBUS2协议的数据。
PMBUS2_CLK	AF11	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	3.4MHz	OD门(open drain), PMBUS2协议的时钟 (这个PMBUS时钟管脚和下面的数据管脚用于与支持PMBUS协议的电源管理芯片连接, 即PMBUS和支持IMVP协议的电源管理芯片只会选择其中一种)。
PMBUS3_DATA	AF15	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	1.7MHz	OD门(open drain), PMBUS3协议的数据。
PMBUS3_CLK	AD15	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	3.4MHz	OD门(open drain), PMBUS3协议的时钟 (这个PMBUS时钟管脚和下面的数据管脚用于与支持PMBUS协议的电源管理芯片连接, 即PMBUS和支持IMVP协议的电源管理芯片只会选择其中一种)。
PMBUS3_ALERT	AG15	复用	Ipu	DIGITAL 1.8V LVCMOS	1MHz	PMBUS电源告警信号。

1.4.3.23 MDIO 接口管脚列表

表 1-27 MDIO 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
MDIO0_CLK	AJ24	复用	O	DIGITAL 1.8V LVCMOS	20MHz	MDIO0时钟, Hi309a支持的MDIO的操作频率典型是2/20MHz。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
MDIO0_DATA	AK25	复用	I/O	DIGITAL 1.8V LVC MOS	10MHz	MDIO0数据。
MDIO1_CLK	AH1	复用	O	DIGITAL 1.8V LVC MOS	20MHz	MDIO1时钟，Hi309a支持的MDIO的操作频率典型是2/20MHz。
MDIO1_DATA	AJ2	复用	I/O	DIGITAL 1.8V LVC MOS	10MHz	MDIO1数据。
MDIO2_CLK	AH4	复用	O	DIGITAL 1.8V LVC MOS	20MHz	MDIO2时钟，Hi309a支持的MDIO的操作频率典型是2/20MHz。
MDIO2_DATA	AJ5	复用	I/O	DIGITAL 1.8V LVC MOS	10MHz	MDIO2数据。

1.4.3.24 TDM 接口管脚列表

表 1-28 TDM 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
TDM1_CLK	AC5	复用	lpd	DIGITAL 1.8V LVC MOS	1MHz	TDM1接收方向总线时钟信号，在4线模式下，发送方向也使用该时钟信号。
TDM1_RX	AC4	复用	lpd	DIGITAL 1.8V LVC MOS	1MHz	TDM1接收数据线。
TDM1_TX	AC3	复用	O	DIGITAL 1.8V LVC MOS	1MHz	TDM1发送数据线。
TDM1_FSP	AE4	复用	lpd	DIGITAL 1.8V LVC MOS	1MHz	TDM1接收方向帧同步信号，在4线模式下，发送方向也使用该帧同步信号。
TDM2_CLK	AG2	复用	lpd	DIGITAL 1.8V LVC MOS	1MHz	TDM2接收方向总线时钟信号，在4线模式下，发送方向也使用该时钟信号。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
TDM2_RX	AG5	复用	lpd	DIGITAL 1.8V LVCMOS	1MHz	TDM2接收方向帧同步信号，在4线模式下，发送方向也使用该帧同步信号。
TDM2_TX	AG3	复用	O	DIGITAL 1.8V LVCMOS	1MHz	TDM2发送数据线。
TDM2_FSP	AH6	复用	lpd	DIGITAL 1.8V LVCMOS	1MHz	TDM2接收数据线。

1.4.3.25 CodecTDM 接口管脚列表

表 1-29 CodecTDM 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
TDM0_CLK	AG2	复用	lpd	DIGITAL 1.8V LVCMOS	1MHz	TDM0接收方向总线时钟信号，在4线模式下，发送方向也使用该时钟信号。
TDM0_RX	AG5	复用	lpd	DIGITAL 1.8V LVCMOS	1MHz	TDM0接收方向帧同步信号，在4线模式下，发送方向也使用该帧同步信号。
TDM0_TX	AG3	复用	O	DIGITAL 1.8V LVCMOS	1MHz	TDM0发送数据线。
TDM0_FSP	AH6	复用	lpd	DIGITAL 1.8V LVCMOS	1MHz	TDM0接收数据线。

1.4.3.26 CANBUS 接口管脚列表

表 1-30 CANBUS 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
CAN_RX3	AC5	复用	lpu	DIGITAL 1.8V LVCMOS	1MHz	CAN bus3的RX_DAT信号。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
CAN_RX2	AC4	复用	Ipu	DIGITAL 1.8V LVCMOS	1MHz	CAN bus2的RX_DAT信号。
CAN_TX2	AC3	复用	O	DIGITAL 1.8V LVCMOS	1MHz	CAN bus2的TX_DAT信号。
CAN_RX4	AE4	复用	Ipu	DIGITAL 1.8V LVCMOS	1MHz	CAN bus4的RX_DAT信号。
CAN_RX0	AG2	复用	Ipu	DIGITAL 1.8V LVCMOS	1MHz	CAN bus0的RX_DAT信号。
CAN_RX1	AG5	复用	Ipu	DIGITAL 1.8V LVCMOS	1MHz	CAN bus1的RX_DAT信号。
CAN_TX0	AG3	复用	O	DIGITAL 1.8V LVCMOS	1MHz	CAN bus0的TX_DAT信号。
CAN_RX5	AH6	复用	Ipu	DIGITAL 1.8V LVCMOS	1MHz	CAN bus5的RX_DAT信号。
CAN_TX5	AG7	复用	O	DIGITAL 1.8V LVCMOS	1MHz	CAN bus5的TX_DAT信号。
CAN_TX4	AE5	复用	O	DIGITAL 1.8V LVCMOS	1MHz	CAN bus4的TX_DAT信号。
CAN_TX1	AG4	复用	O	DIGITAL 1.8V LVCMOS	1MHz	CAN bus1的TX_DAT信号。
CAN_TX3	AC7	复用	O	DIGITAL 1.8V LVCMOS	1MHz	CAN bus3的TX_DAT信号。

1.4.3.27 DyingGasp 接口管脚列表

表 1-31 DyingGasp 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
PFI	AH2	独占	POWER	Analog None	-	外部待检测电源电压参考输入端，假如判1.8V，1.2V下翻转，1.28V上翻转（路电实际使用12V分压作为输入）。



1.4.3.28 DCM 接口管脚列表

表 1-32 DCM 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
DCM_IN	AJ1	独占	I	Analog None	-	焊球开裂检测输入。
DCM_OUT	AK2	独占	O	Analog None	-	焊球开裂检测输出。

1.4.3.29 HISS 接口管脚列表

表 1-33 HISS 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
HISS_SPICK	P4	复用	O	DIGITAL 1.8V LVCMOS	50MHz	HISS子系统SPI接口时钟，防火墙控制可以关闭，默认打开。
HISS_SPIDI	N3	复用	Ipu	DIGITAL 1.8V LVCMOS	50MHz	HISS子系统SPI接口数据输入，防火墙控制可以关闭，默认打开。
HISS_SPIDO	P5	复用	O	DIGITAL 1.8V LVCMOS	50MHz	HISS子系统SPI接口数据输出，建议使用GPIO模拟三线SP模式时，以此管脚作为输入/输出，防火墙控制可以关闭，默认打开。
HISS_SPICS	N5	复用	O	DIGITAL 1.8V LVCMOS	1MHz	HISS子系统SPI片选0，防火墙控制可以关闭，默认打开。
HISS_SDA	N6	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	1.7Mbps	HISS子系统的I2C接口的SDA，和TPM芯片对接，作为DEVICE模式，防火墙控制可以关闭，默认打开。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
HISS_SCL	N7	复用	I/O _{OD}	DIGITAL 1.8V LVCMOS	3.4MHz	HISS子系统的I2C接口的SCL，和TPM芯片对接，作为DEVICE模式，防火墙控制可以关闭，默认打开。
HISS_URXD	P1	复用	lpu	DIGITAL 1.8V LVCMOS	1MHz	HISS子系统的UART接收，防火墙控制可以关闭，默认打开。 量产发货前，此串口功能打开。 量产发货后，此串口功能选择性关闭；必须通过debug认证后，此串口功能才打开。
HISS_UTXD	P2	复用	O	DIGITAL 1.8V LVCMOS	1MHz	HISS子系统的UART发送，防火墙控制可以关闭，默认打开。 量产发货前，此串口功能打开。 量产发货后，此串口功能选择性关闭；必须通过debug认证后，此串口功能才打开。
RST_MODE	R1	复用	lpd	DIGITAL 1.8V LVCMOS	–	上电锁存AP复位标志，低电平表示AP处于复位态，需要HISS解复位引导启动，高电平表示AP上电后自动解复位，不依赖HISS。上电锁存后可以复用为其他功能。复用为func1时，HISS_ACT_ALM做probe类型信号使用。



1.4.3.30 SATA/ETH LED 接口管脚列表

表 1-34 SATA/ETH LED 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
SATA0_LED1	AG20	复用	O	DIGITAL 1.8V LVCMOS	1MHz	SATA口1状态 LED控制信号。
SATA0_LED0	AH20	复用	O	DIGITAL 1.8V LVCMOS	1MHz	SATA口0状态 LED控制信号。
Eth_LED0	AK11	复用	O	DIGITAL 1.8V LVCMOS	1MHz	Ethernet口Active/link LED控制信号。
Eth_LED1	AH15	复用	O	DIGITAL 1.8V LVCMOS	1MHz	Ethernet口Active/link LED控制信号。
Eth_LED3	AF5	复用	O	DIGITAL 1.8V LVCMOS	1MHz	Ethernet口Active/link LED控制信号。
Eth_LED2	AF4	复用	O	DIGITAL 1.8V LVCMOS	1MHz	Ethernet口Active/link LED控制信号。

1.4.3.31 GPIO 接口管脚列表

表 1-35 GPIO 接口管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	翻转频率 (Hz)	描述
GPIO000	AB7	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO001	AC1	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO002	AC2	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO011	AD11	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO012	AJ12	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO013	AE12	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO014	AG12	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。



功能名称	位置	是否复用管脚	管脚类型	电平类型	翻转频率 (Hz)	描述
GPIO015	AJ13	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO016	AG13	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO017	AF12	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO018	AH12	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO019	AD12	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO020	AE13	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO021	AF13	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO022	AE14	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO023	AD13	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO024	AK13	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO025	AJ14	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO038	AD3	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO039	AD4	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO040	AD2	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO041	AE1	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO042	AE3	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO060	P4	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO061	N3	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。



功能名称	位置	是否复用管脚	管脚类型	电平类型	翻转频率 (Hz)	描述
GPIO062	P5	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO063	N5	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO064	N6	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO065	N7	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO066	P1	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO067	P2	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO069	AK9	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO070	AK10	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO071	AJ10	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO072	AH10	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO073	AF10	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO074	W3	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO075	W4	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO076	W5	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO077	Y2	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO078	W7	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO079	Y3	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO080	Y4	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。



功能名称	位置	是否复用管脚	管脚类型	电平类型	翻转频率 (Hz)	描述
GPIO081	Y5	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO082	Y6	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO083	T2	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO084	W2	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO085	T3	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO086	U1	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO087	T6	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO088	T7	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO089	T4	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO090	R5	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO091	R6	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO092	R2	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO093	R3	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO094	U5	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO095	U3	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO096	U2	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO097	U6	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO098	V1	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。



功能名称	位置	是否复用管脚	管脚类型	电平类型	翻转频率 (Hz)	描述
GPIO099	V2	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO100	V4	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO101	V5	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO102	V6	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO103	V7	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO104	W1	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO105	AA2	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO106	AA3	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO107	AK15	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO108	AJ15	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO109	AE6	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO110	AF6	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO111	AF5	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO112	AF4	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO113	AG11	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO114	AF11	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO115	AF15	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO116	AD15	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。



功能名称	位置	是否复用管脚	管脚类型	电平类型	翻转频率 (Hz)	描述
GPIO117	AG15	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO118	AJ24	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO119	AK25	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO120	AH1	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO121	AJ2	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO122	AH4	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO123	AJ5	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO124	AJ16	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO125	AH16	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO126	AF17	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO127	AG17	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO128	AE16	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO129	AF16	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO130	AF21	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO131	AE21	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO132	AD21	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO133	AK22	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO134	AJ22	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。



功能名称	位置	是否复用管脚	管脚类型	电平类型	翻转频率 (Hz)	描述
GPIO135	AH22	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO136	AF22	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO137	AJ19	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO138	AK19	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO139	AD18	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO140	AE18	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO145	Y7	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO148	AJ11	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO150	AH11	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO152	AH23	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO153	AC3	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO154	AE4	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO155	AE5	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO156	AG5	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO157	AD19	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO158	AE10	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO159	AD10	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO160	AD22	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。



功能名称	位置	是否复用管脚	管脚类型	电平类型	翻转频率 (Hz)	描述
GPIO161	AE22	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO162	AG16	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO163	AD14	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO164	AD23	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO165	AE20	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO166	AG23	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO167	AF23	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO168	AK21	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO169	AG21	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO170	AJ23	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO171	AJ21	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO172	AC4	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO173	AG2	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO174	AG7	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO175	AD9	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO176	AC5	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO177	AG3	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO178	AH6	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。



功能名称	位置	是否复用管脚	管脚类型	电平类型	翻转频率 (Hz)	描述
GPIO179	AG4	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO180	AE17	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO181	AJ17	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO182	AH14	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO183	AJ18	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO184	P6	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO185	P7	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO186	AJ9	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO187	AF18	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO188	AK17	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO189	AH18	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO190	AK3	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO191	AH3	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO192	AJ4	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO193	AJ3	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO194	AK14	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO195	AF14	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO196	AF24	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。



功能名称	位置	是否复用管脚	管脚类型	电平类型	翻转频率 (Hz)	描述
GPIO197	AE24	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO198	AD20	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO199	AG19	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO200	AD24	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO201	AF20	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO202	AA5	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO203	AJ6	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO，Die间预留。
GPIO204	AK11	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO，Die间预留。
GPIO205	AH15	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO，Die间预留。
GPIO206	AF19	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO207	AJ20	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO208	AH20	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO。
GPIO211	AK18	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用GPIO，推荐用作FPGA_CFG_CRC，输入/输出、高/低有效电平可配。



功能名称	位置	是否复用管脚	管脚类型	电平类型	翻转频率 (Hz)	描述
GPIO212	AD16	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO，推荐用作FPGA_CFG_CSN，输入/输出、高/低有效电平可配。
GPIO213	AG20	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO214	AH19	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO215	AD17	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO，推荐用作FPGA_USER_MODE，输入/输出、高/低有效电平可配。
GPIO217	AK23	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO219	AC7	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO238	AF3	复用	I/O	DIGITAL 1.8V LVCMOS	1M	通用GPIO。
GPIO247	AJ7	复用	I/O	DIGITAL 1.8V LVCMOS	1M	接口输入方向功能（含GPIO中断）不可用。GPIO输出或HWID功能可正常使用。
GPIO248	AH7	复用	I/O	DIGITAL 1.8V LVCMOS	1M	接口输入方向功能（含GPIO中断）不可用。GPIO输出或HWID功能可正常使用。



功能名称	位置	是否复用管脚	管脚类型	电平类型	翻转频率 (Hz)	描述
GPIO249	AF8	复用	I/O	DIGITAL 1.8V LVCMOS	1M	接口输入方向功能（含GPIO中断）不可用。GPIO输出或HWID功能可正常使用。
GPIO250	AG8	复用	I/O	DIGITAL 1.8V LVCMOS	1M	接口输入方向功能（含GPIO中断）不可用。GPIO输出或HWID功能可正常使用。
GPIO251	AF7	复用	I/O	DIGITAL 1.8V LVCMOS	1M	接口输入方向功能（含GPIO中断）不可用。GPIO输出或HWID功能可正常使用。
GPIO252	AJ8	复用	I/O	DIGITAL 1.8V LVCMOS	1M	接口输入方向功能（含GPIO中断）不可用。GPIO输出或HWID功能可正常使用。
GPIO253	AH8	复用	I/O	DIGITAL 1.8V LVCMOS	1M	接口输入方向功能（含GPIO中断）不可用。GPIO输出或HWID功能可正常使用。



功能名称	位置	是否复用管脚	管脚类型	电平类型	翻转频率 (Hz)	描述
GPIO254	AE8	复用	I/O	DIGITAL 1.8V LVC MOS	1M	接口输入方向功能（含 GPIO 中断）不可用。GPIO 输出或 HWID 功能可正常使用。
GPIO255	AF9	复用	I/O	DIGITAL 1.8V LVC MOS	1M	接口输入方向功能（含 GPIO 中断）不可用。GPIO 输出或 HWID 功能可正常使用。
GPIO256	AE9	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用 GPIO。
GPIO257	AD8	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用 GPIO。
GPIO258	AG9	复用	I/O	DIGITAL 1.8V LVC MOS	1M	通用 GPIO。

1.4.3.32 INT 管脚列表

表 1-36 INT 管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
INT0	AD10	复用	Ipu/O	DIGITAL 1.8V LVC MOS	1MHz	中断0，电平中断，（脉宽大于100ns，下同上）。
INT1	AD9	复用	Ipu/O	DIGITAL 1.8V LVC MOS	1MHz	中断1，电平中断。
INT2	AJ17	复用	Ipu/O	DIGITAL 1.8V LVC MOS	1MHz	中断2，电平中断。
INT3	AH19	复用	Ipu/O	DIGITAL 1.8V LVC MOS	1MHz	中断3，电平中断。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
INT4	AA5	复用	Ipu/O	DIGITAL 1.8V LVCMOS	1MHz	中断4，电平中断。
INT5	AE17	复用	Ipu/O	DIGITAL 1.8V LVCMOS	1MHz	中断5，电平中断。
INT6	AD19	复用	Ipu/O	DIGITAL 1.8V LVCMOS	1MHz	中断6，电平中断。
INT7	AJ4	复用	Ipu/O	DIGITAL 1.8V LVCMOS	1MHz	中断7，电平中断。
INT8	AJ9	复用	Ipu/O	DIGITAL 1.8V LVCMOS	1MHz	中断8，电平中断。
INT9	AJ20	复用	Ipu/O	DIGITAL 1.8V LVCMOS	1MHz	中断9，电平中断。

1.4.3.33 probe 管脚列表

表 1-37 probe 管脚列表

功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
PROBE_SEL	Y7	复用	Ipd	DIGITAL 1.8V LVCMOS	—	Probe功能控制，静态选择信号，只在复位信号撤离时采样输入信号决定是否将芯片内部的关键状态拉出来在管脚上可观测；正常功能必须下拉。
HWID05	AG8	复用	Ipu	DIGITAL 1.8V LVCMOS	input	HWID05，PROBE的功能选择管脚0。
HWID06	AF7	复用	Ipu	DIGITAL 1.8V LVCMOS	input	HWID06，PROBE的功能选择管脚1。
HWID07	AJ8	复用	Ipu	DIGITAL 1.8V LVCMOS	input	HWID07，PROBE的功能选择管脚2。



功能名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述
HWID08	AH8	复用	Ipu	DIGITAL 1.8V LVCMOS	input	HWID08, PROBE的功能选择管脚3。
PROBE_OUT0	AJ15	复用	O	DIGITAL 1.8V LVCMOS	50MHz	内部观测信号。
PROBE_OUT1	AE6	复用	O	DIGITAL 1.8V LVCMOS	50MHz	内部观测信号。
PROBE_OUT2	AF6	复用	O	DIGITAL 1.8V LVCMOS	50MHz	内部观测信号。
PROBE_OUT3	AF5	复用	O	DIGITAL 1.8V LVCMOS	50MHz	内部观测信号。
PROBE_OUT4	AF4	复用	O	DIGITAL 1.8V LVCMOS	50MHz	内部观测信号。
PROBE_OUT5	AG11	复用	O	DIGITAL 1.8V LVCMOS	50MHz	内部观测信号。
PROBE_OUT6	AK9	复用	O	DIGITAL 1.8V LVCMOS	50MHz	内部观测信号。
PROBE_OUT7	AK10	复用	O	DIGITAL 1.8V LVCMOS	50MHz	内部观测信号。
PROBE_OUT8	AJ10	复用	O	DIGITAL 1.8V LVCMOS	50MHz	内部观测信号。
PROBE_OUT9	AH10	复用	O	DIGITAL 1.8V LVCMOS	50MHz	内部观测信号。
PROBE_OUT10	AF10	复用	O	DIGITAL 1.8V LVCMOS	50MHz	内部观测信号。
PROBE_OUT11	AA2	复用	O	DIGITAL 1.8V LVCMOS	50MHz	内部观测信号。
PROBE_OUT12	AA3	复用	O	DIGITAL 1.8V LVCMOS	50MHz	内部观测信号。
PROBE_OUT13	AK15	复用	O	DIGITAL 1.8V LVCMOS	50MHz	内部观测信号。
PROBE_OUT14	AJ16	复用	O	DIGITAL 1.8V LVCMOS	50MHz	内部观测信号。
PROBE_OUT15	AH16	复用	O	DIGITAL 1.8V LVCMOS	50MHz	内部观测信号。



须知

PROBE_SEL管脚做正常功能使用时必须下拉；建议单板设计将PROBE_SEL下拉，调试需要用到Probe功能时改为上拉。

1.4.3.34 电源地管脚列表

表 1-38 电源地管脚列表

功能名称	位置	类型	电压	描述
DVDD08_AVS	N11、N13、N15、P12、P14、P16、R13、R15、T12、T14、T16、U13、U15、V12、V14、V16	电源	0.8	Core 电源。
DVDD08_FIX	AA13、AA21、J19、K20、L9、L13、L15、L17、L19、M10、M14、M16、M18、N17、N19、P10、P18、R17、R19、T10、T18、U17、U19、V10、V18、W11、W13、W15、W17、W19、W21、Y12、Y14、Y16、Y18、Y20	电源	0.8	Core 电源。
AVDD12_SERDES_FIX	J24、L21、L24、N21、N24、R21、R24、U21、U24、W24	电源	1.2	Hilink 电源。
AVDD08_SERDES_FIX	M20、P20、T20、V20	电源	0.8	Hilink 电源。
AVDD18_PLL_GASP_TS_FIX	U11	电源	1.8	PLL/ GASP/ tsensor 高压。
DVDD12_DDRIO_FIX	J9、J11、J13、J15、J17、K10、K12、K14、K16、K18	电源	1.2	DDR IO 电源。
AVDD18_PLL_DDR_DPPE_FIX	L11	电源	1.8	DDR的 PLL高 压电 源。
AVDD08_PLL_DDR_DPPE_FIX	M12	电源	0.8	DDR的 PLL低 压电 源。
AVDD08_PLL_FIX	Y10	电源	0.8	PLL的 低压电 源。
DVDD18_FIX	AA11、AA15、AA17、AA19、N9、R9、U9	电源	1.8	PLL GPIO电 源。



功能名称	位置	类型	电压	描述
AVDD33_USB_FIX	W9	电源	3.3	USB电源。
AVDD18_USB_FIX	AA9	电源	1.8	USB电源。
DVDD18_EFUSE_FIX	R11	电源	1.8	PLL HV电源。



功能名称	位置	类型	电压	描述
VSS	A2、A5、A8、A11、A14、A17、A20、A23、A26、A29、A30、AA1、AA4、AA7、AA10、AA12、AA14、AA16、AA18、AA20、AA25、AA26、AA27、AA28、AA29、AA30、AB3、AB24、AB25、AB28、AC6、AC24、AC25、AC26、AC27、AC28、AC29、AC30、AD1、AD5、AD25、AD28、AE2、AE7、AE11、AE15、AE19、AE23、AE25、AE26、AE27、AE28、AE29、AE30、AF25、AF28、AG1、AG6、AG10、AG14、AG18、AG22、AG25、AG26、AG27、AG28、AG29、AG30、AH5、AH9、AH13、AH17、AH21、AH25、AH28、AJ25、AJ26、AJ27、AJ28、AJ29、AJ30、AK1、AK4、AK8、AK12、AK16、AK20、AK24、AK26、AK29、AK30、B1、B6、B9、B12、B15、B18、B21、B24、B27、B30、C3、C7、C10、C13、C16、C19、C22、C25、C28、D4、D8、D11、D14、D17、D20、D23、D26、D29、E1、E5、E9、E12、E15、E18、E21、E24、E27、E30、F2、F6、F10、F13、F16、F19、F22、F25、F28、G3、G7、G11、G14、G17、G20、G23、G25、G26、G27、G28、G29、G30、H4、H24、H25、H28、J5、J10、J12、J14、J16、J18、J20、J21、J25、J26、J27、J28、J29、J30、K6、K9、K11、K13、K15、K17、K19、K21、K24、K25、K28、L1、L2、L3、L4、L5、L6、L10、L12、L14、L16、L18、L20、L25、L26、L27、L28、L29、L30、M7、M9、M11、M13、M15、M17、M19、M21、M24、M25、M28、N4、N10、N12、N14、N16、N18、N20、N25、N26、N27、N28、N29、N30、P3、P9、P11、P13、P15、P17、P19、P21、P24、P25、P28、R4、R7、R10、R12、R14、R16、R18、R20、R25、R26、R27、R28、R29、R30、T1、T5、T9、T11、T13、T15、T17、T19、T21、T24、T25、T28、U4、U7、U10、U12、U14、U16、U18、U20、U25、U26、U27、U28、U29、U30、V3、V9、V11、V13、V15、V17、V19、V21、V24、V25、V28、W6、W10、W12、W14、W16、W18、W20、W25、W26、W27、W28、W29、W30、Y1、Y9、Y11、Y13、Y15、Y17、Y19、Y21、Y24、Y25、Y28	地	-	-



1.4.4 复用管脚列表

表 1-39 复用管脚列表

管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
AG24	SYS_CLKIN	SYS_CLKIN	-	-	-	-	-	-
AH24	RTC_CLKIN	RTC_CLKIN	-	-	-	-	-	-
AA6	RSTN	RSTN	-	-	-	-	-	-
AB4	PORN	PORN	-	-	-	-	-	-
AB5	RST_OUT_N	RST_OUT_N	-	-	-	-	-	-
AB6	WDG_RSTN	WDG_RSTN	-	-	-	-	-	-
N1	WDG_MODE	WDG_MODE	-	-	-	-	-	-
AB1	WDG_MR	WDG_MR	-	-	-	-	-	-
AB2	WDG_WDI	WDG_WDI	-	-	-	-	-	-
AB7	CAN_RSTN	CAN_RSTN	-	-	-	-	-	GPIO000
AC1	BUTTON_RSTN	BUTTON_RSTN	-	-	-	-	-	GPIO001
AC2	USER_DEFINE_RSTN	USER_DEFINE_RSTN	-	-	-	-	-	GPIO002
M2	BOOT_SEL0	BOOT_SEL0	-	-	-	-	-	-
M6	BOOT_SEL2	BOOT_SEL2	-	-	-	-	-	-
M5	BOOT_SEL3	BOOT_SEL3	-	-	-	-	-	-
M4	BOOT_SEL4	BOOT_SEL4	-	-	-	-	-	-
M1	BOOT_MODE	BOOT_MODE	-	-	-	-	-	-
M3	TEST_MODE0	TEST_MODE0	-	-	-	-	-	-
N2	TEST_MODE1	TEST_MODE1	-	-	-	-	-	-
AD11	ESPI0_CLK0	ESPI0_CLK0	EBIAD5	-	-	-	-	GPIO011



管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
AJ12	ESPI0_CLK1	ESPI0_CLK1	EBIWE N	-	-	-	-	GPIO0 12
AE12	ESPI0_CS0	ESPI0_CS0	EBIALE	-	-	-	-	GPIO0 13
AG12	ESPI0_CS1	ESPI0_CS1	EBIOE N	-	-	-	-	GPIO0 14
AJ13	ESPI0_CS2	ESPI0_CS2	EBICS0 N	-	-	-	-	GPIO0 15
AG13	ESPI0_CS3	ESPI0_CS3	EBICS1 N	-	-	-	-	GPIO0 16
AF12	ESPI0_D0	ESPI0_D0	EBICTL	-	-	-	BOOT_C FG_N0	GPIO0 17
AH12	ESPI0_D1	ESPI0_D1	EBIBLS 0	-	-	-	BOOT_C FG_N1	GPIO0 18
AD12	ESPI0_D2	ESPI0_D2	EBIBLS 1	-	-	-	HWID49	GPIO0 19
AE13	ESPI0_D3	ESPI0_D3	EBIAD0	-	-	-	HWID50	GPIO0 20
AF13	ESPI0_D4	ESPI0_D4	EBIAD1	-	-	-	-	GPIO0 21
AE14	ESPI0_D5	ESPI0_D5	EBIAD2	-	-	-	BOOT_C FG_N3	GPIO0 22
AD13	ESPI0_D6	ESPI0_D6	EBIAD3	-	-	-	BOOT_C FG_N4	GPIO0 23
AK13	ESPI0_D7	ESPI0_D7	EBIAD4	-	-	-	HWID51	GPIO0 24
AJ14	ESPI0_RDY	ESPI0_RDY	EBICS2 N	-	-	-	-	GPIO0 25
AJ7	GPIO247	GPIO247	EBICS3 N	-	-	-	HWID12 4	ESPI5_ CLK
AH7	GPIO248	GPIO248	EBICS4 N	-	-	-	-	ESPI5_ CS0
AF8	GPIO249	GPIO249	EBICS5 N	-	-	-	-	ESPI5_ CS1



管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
AG8	GPIO250	GPIO250	EBIAD23	-	-	-	HWID05	ESPI5_D0
AF7	GPIO251	GPIO251	EBIAD24	-	-	-	HWID06	ESPI5_D1
AJ8	GPIO252	GPIO252	EBIAD25	-	-	-	HWID07	ESPI5_D2
AH8	GPIO253	GPIO253	EBIAD26	-	-	-	HWID08	ESPI5_D3
AE8	GPIO254	GPIO254	EBIAD27	-	-	-	HWID103	ESPI5_D4
AF9	GPIO255	GPIO255	EBIAD28	-	-	-	HWID104	ESPI5_D5
AE9	GPIO256	GPIO256	EBIAD29	-	-	-	HWID105	ESPI5_D6
AD8	GPIO257	GPIO257	EBIAD30	-	-	-	HWID106	ESPI5_D7
AG9	GPIO258	GPIO258	EBICS6N	-	-	-	-	ESPI5_RDY
AJ6	GPIO203	GPIO203	EBIAD9	-	-	-	HWID56	-
AK11	GPIO204	GPIO204	EBIAD10	-	Eth_LED0	-	HWID57	-
AH15	GPIO205	GPIO205	EBIAD11	-	Eth_LED1	-	HWID58	-
AK18	GPIO211	GPIO211	EBIAD15	-	-	-	HWID64	-
AD16	GPIO212	GPIO212	EBIAD13	-	-	-	HWID47	-
AD17	GPIO215	GPIO215	EBIAD14	-	-	-	HWID48	-
AH14	GPIO182	GPIO182	EBICS7N	-	-	-	HWID52	-
AJ18	GPIO183	GPIO183	EBIAD16	-	-	-	HWID65	-
P6	GPIO184	GPIO184	EBIAD7	-	-	-	HWID54	-
P7	GPIO185	GPIO185	EBIAD8	-	-	-	HWID55	-



管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
AF19	GPIO206	GPIO206	EBIAD31	-	-	-	HWID80	-
AF18	GPIO187	GPIO187	EBIAD18	-	-	-	HWID67	-
AH18	GPIO189	GPIO189	EBIAD17	-	-	-	HWID66	-
AF14	GPIO195	GPIO195	EBIAD6	-	-	-	HWID53	-
AD14	GPIO163	GPIO163	EBIAD12	-	-	-	HWID59	-
AJ19	GPIO137	GPIO137	EBIAD19	-	-	-	HWID68	-
AK19	GPIO138	GPIO138	EBIAD20	-	-	-	HWID69	-
AD18	GPIO139	GPIO139	EBIAD21	-	-	-	HWID70	-
AE18	GPIO140	GPIO140	EBIAD22	-	-	-	HWID71	-
P4	HISS_SPICK	HISS_SPICK	SPICK1	-	-	-	-	GPIO060
N3	HISS_SPIDI	HISS_SPIDI	SPIDI1	-	-	-	-	GPIO061
P5	HISS_SPIDO	HISS_SPIDO	SPIDO1	-	-	-	-	GPIO062
N5	HISS_SPICS	HISS_SPICS	SPICSN1_0	-	-	-	-	GPIO063
N6	HISS_SDA	HISS_SDA	-	-	-	-	-	GPIO064
N7	HISS_SCL	HISS_SCL	-	-	-	-	-	GPIO065
P1	HISS_URXD	HISS_URXD	URXD2	-	-	-	-	GPIO066
P2	HISS_UTXD	HISS_UTXD	UTXD2	-	-	-	-	GPIO067



管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
R1	RST_MODE	RST_MODE	HISS_ACT_ALARM	-	-	-	-	-
AK9	SPICK0	SPICK0	-	-	-	-	-	GPIO069
AK10	SPIDI0	SPIDI0	-	-	-	-	-	GPIO070
AJ10	SPIDO0	SPIDO0	-	-	-	-	HWID97	GPIO071
AH10	SPICSN0_0	SPICSN0_0	-	-	-	-	HWID98	GPIO072
AF10	SPICSN0_1	SPICSN0_1	-	-	-	-	-	GPIO073
AD3	GPIO038	GPIO038	-	-	SPICK2	-	-	-
AD4	GPIO039	GPIO039	-	-	SPICSN2_0	-	-	-
AD2	GPIO040	GPIO040	-	-	SPICSN2_1	-	-	-
AE1	GPIO041	GPIO041	-	-	SPIDO2	-	HWID20	-
AE3	GPIO042	GPIO042	-	-	SPIDI2	-	-	-
AD22	CLK_SEL0	-	SERDES_CLK_OUTPUT1	-	SPIDI3	-	-	GPIO160
AE22	CLK_SEL1	-	SERDES_CLK_OUTPUT0	-	SPICK3	-	-	GPIO161
AK23	GPIO217	GPIO217	SERDES_CLK_OUTPUT2	SPIDO3	-	-	-	-
AJ23	GPIO170	GPIO170	1PPS_TEST_OUTPUT	-	SPICSN3_0	-	-	-
AH23	GPIO152	GPIO152	CLK_1PPS	-	SPICSN3_1	-	-	-
W3	SFC0_SPICK	SFC0_SPICK	-	-	-	-	BOOT_CFG_W0	GPIO074



管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
W4	SFC0_SPICS0	SFC0_SPICS0	-	-	-	-	BOOT_C FG_W1	GPIO0 75
W5	SFC0_SPICS1	SFC0_SPICS1	-	-	-	-	BOOT_C FG_W2	GPIO0 76
W7	SFC0_SPI_D Q0	SFC0_SPI_D Q0	-	-	-	-	BOOT_C FG_W4	GPIO0 78
Y2	SFC0_SPI_D Q1	SFC0_SPI_D Q1	-	-	-	-	BOOT_C FG_W3	GPIO0 77
Y3	SFC0_WP_D Q2	SFC0_WP_D Q2	-	-	-	-	BOOT_C FG_W5	GPIO0 79
Y4	SFC0_HOLD _DQ3	SFC0_HOLD _DQ3	-	-	-	-	BOOT_C FG_W6	GPIO0 80
Y5	SFC0_HOLD 1_DQ3	SFC0_HOLD 1_DQ3	-	-	-	-	BOOT_C FG_W7	GPIO0 81
Y6	SFC0_RST	SFC0_RST	-	-	-	-	BOOT_C FG_W8	GPIO0 82
T2	NAND_WP_ N	NAND_WP_ N	-	-	-	-	-	GPIO0 83
W2	NAND_DQS	NAND_DQS	-	-	-	-	-	GPIO0 84
T3	NAND_WR	NAND_WR	SFC1_S PICKL	-	-	-	-	GPIO0 85
U1	NAND_RDY 0	NAND_RDY 0	-	-	-	-	-	GPIO0 86
T6	NAND_CSN 0	NAND_CSN 0	SFC1_S PICS0	-	-	-	-	GPIO0 87
T7	NAND_RDY 1	NAND_RDY 1	-	-	-	-	-	GPIO0 88
T4	NAND_CSN 1	NAND_CSN 1	SFC1_S PICS1	-	-	-	-	GPIO0 89
R5	NAND_RDY 2	NAND_RDY 2	-	-	-	-	-	GPIO0 90
R6	NAND_CSN 2	NAND_CSN 2	-	-	-	-	-	GPIO0 91



管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
R2	NAND_RDY3	NAND_RDY3	-	-	-	-	-	GPIO092
R3	NAND_CSN3	NAND_CSN3	-	-	-	-	-	GPIO093
U5	NAND_ALE	NAND_ALE	SFC1_RST	EMMC_RST_N	-	-	-	GPIO094
U3	NAND_CLE	NAND_CLE	-	EMMC_CMD	-	-	-	GPIO095
U2	NAND_RD	NAND_RD	-	EMMC_CLK	-	-	-	GPIO096
U6	NAND_DATA0	NAND_DATA0	SFC1_SPLDQ1	EMMC_DATA0	-	-	HWID01	GPIO097
V1	NAND_DATA1	NAND_DATA1	SFC1_SPLDQ0	EMMC_DATA1	-	-	HWID02	GPIO098
V2	NAND_DATA2	NAND_DATA2	SFC1_WPLDQ2	EMMC_DATA2	-	-	HWID03	GPIO099
V4	NAND_DATA3	NAND_DATA3	SFC1_HPLDQ3	EMMC_DATA3	-	-	HWID04	GPIO100
V5	NAND_DATA4	NAND_DATA4	SFC1_HPLDQ3	-	-	-	HWID72	GPIO101
V6	NAND_DATA5	NAND_DATA5	-	-	-	-	HWID73	GPIO102
V7	NAND_DATA6	NAND_DATA6	-	-	-	-	HWID74	GPIO103
W1	NAND_DATA7	NAND_DATA7	-	-	-	-	HWID75	GPIO104
AA2	SDA0	SDA0	-	-	-	-	-	GPIO105
AA3	SCL0	SCL0	-	-	-	-	-	GPIO106
AK15	SDA1	SDA1	-	-	-	-	-	GPIO107



管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
AJ15	SCL1	SCL1	-	-	-	-	-	GPIO108
AE6	PMBUS0_DATA	PMBUS0_DATA	RTC_SDA	SDA4	-	-	-	GPIO109
AF6	PMBUS0_CLK	PMBUS0_CLK	RTC_SCL	SCL4	-	-	-	GPIO110
AF5	PMBUS1_DATA	PMBUS1_DATA	SDA5	Eth_LED3	-	-	-	GPIO111
AF4	PMBUS1_CLK	PMBUS1_CLK	SCL5	Eth_LED2	-	-	-	GPIO112
AF3	PMBUS1_ALERT	PMBUS1_ALERT	-	-	-	-	-	GPIO238
AG11	PMBUS2_DATA	PMBUS2_DATA	SDA6	-	-	-	-	GPIO113
AF11	PMBUS2_CLK	PMBUS2_CLK	SCL6	-	-	-	-	GPIO114
AF15	PMBUS3_DATA	PMBUS3_DATA	SDA7	-	-	-	-	GPIO115
AD15	PMBUS3_CLK	PMBUS3_CLK	SCL7	-	-	-	-	GPIO116
AG15	PMBUS3_ALERT	PMBUS3_ALERT	-	-	-	-	-	GPIO117
AJ24	MDIO0_CLK	MDIO0_CLK	-	-	-	-	-	GPIO118
AK25	MDIO0_DATA	MDIO0_DATA	-	-	-	-	HWID09	GPIO119
AH1	MDIO1_CLK	MDIO1_CLK	SCL2	-	-	-	-	GPIO120
AJ2	MDIO1_DATA	MDIO1_DATA	SDA2	-	-	-	-	GPIO121
AH4	MDIO2_CLK	MDIO2_CLK	SCL3	DDRC_UTXD	-	-	-	GPIO122
AJ5	MDIO2_DATA	MDIO2_DATA	SDA3	DDRC_URXD	-	-	-	GPIO123



管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
AJ16	URXD0	URXD0	-	-	-	-	-	GPIO124
AH16	UTXD0	UTXD0	-	-	-	-	HWID60	GPIO125
AE16	GPIO128	GPIO128	URXD0_1	-	-	-	-	-
AF16	GPIO129	GPIO129	UART_CTRL	-	-	-	-	-
AF17	URXD1	URXD1	-	-	-	-	-	GPIO126
AG17	UTXD1	UTXD1	-	-	-	-	HWID61	GPIO127
AK7	TDI	TDI	-	-	-	-	-	-
AK5	TCK	TCK	-	-	-	-	-	-
AK6	TRSTN	TRSTN	-	-	-	-	-	-
AD7	TMS	TMS	-	-	-	-	-	-
AD6	TDO	TDO	-	-	-	-	-	-
AE20	GPIO165	GPIO165	MII_TX_D_3	-	RGMIIIn_TXD_3	-	HWID13	-
AF20	GPIO201	GPIO201	MII_TX_D_2	-	RGMIIIn_TXD_2	-	HWID14	-
AF21	GPIO130	GPIO130	MII_TX_D_1	-	RGMIIIn_TXD_1	-	HWID10	-
AE21	GPIO131	GPIO131	MII_TX_D_0	-	RGMIIIn_TXD_0	-	HWID11	-
AD21	GPIO132	GPIO132	MII_TX_EN	-	RGMIIIn_TX_CTL	-	HWID12	-
AG19	GPIO199	GPIO199	-	-	RGMIIIn_TXER	-	HWID15	-
AD20	GPIO198	GPIO198	MII_TX_CLK	-	RGMIIIn_TXCLK	-	-	-
AG21	GPIO169	GPIO169	MII_RX_D_3	-	RGMIIIn_RXD_3	-	-	-



管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
AJ21	GPIO171	GPIO171	MII_RX D_2	-	RGMIIIn_R XD_2	-	-	-
AJ22	GPIO134	GPIO134	MII_RX D_1	-	RGMIIIn_R XD_1	-	-	-
AH22	GPIO135	GPIO135	MII_RX D_0	-	RGMIIIn_R XD_0	-	-	-
AF22	GPIO136	GPIO136	MII_RX DV	-	RGMIIIn_R X_CTL	-	-	-
AK21	GPIO168	GPIO168	-	-	RGMIIIn_R XER	-	-	-
AK22	GPIO133	GPIO133	MII_RX CLK	-	RGMIIIn_R XCLK	-	-	-
AJ1	DCM_IN	DCM_IN	-	-	-	-	-	-
AK2	DCM_OUT	DCM_OUT	-	-	-	-	-	-
AH2	PFI	PFI	-	-	-	-	-	-
Y7	GPIO145	GPIO145	-	-	-	PROB E_SEL	-	-
AJ11	LED_RUN	-	-	-	-	-	HWID43	GPIO1 48
AH11	LED_ACT	-	CPU_A LARM	-	-	-	HWID45	GPIO1 50
AC5	GPIO176	GPIO176	CAN_R X3	-	TDM1_CL K	-	-	-
AC4	GPIO172	GPIO172	CAN_R X2	-	TDM1_RX	-	-	-
AC3	GPIO153	GPIO153	CAN_T X2	-	TDM1_TX	-	HWID19	-
AE4	GPIO154	GPIO154	CAN_R X4	-	TDM1_FSP	-	-	-
AG2	GPIO173	GPIO173	CAN_R X0	-	TDM0_CL K	-	-	TDM2 _CLK
AG5	GPIO156	GPIO156	CAN_R X1	-	TDM0_RX	-	-	TDM2 _RX
AG3	GPIO177	GPIO177	CAN_T X0	-	TDM0_TX	-	HWID28	TDM2 _TX



管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
AH6	GPIO178	GPIO178	CAN_RX5	-	TDM0_FSP	-	HWID29	TDM2_FSP
AG7	GPIO174	GPIO174	CAN_TX5	-	-	-	-	-
AE5	GPIO155	GPIO155	CAN_TX4	-	CTS0	-	-	-
AG4	GPIO179	GPIO179	CAN_TX1	-	RTS0	-	HWID38	-
AC7	GPIO219	GPIO219	CAN_TX3	-	-	-	-	-
AE10	GPIO158	GPIO158	-	-	POWER_EN_HST	-	HWID96	-
AD10	GPIO159	GPIO159	INT0	-	USB_OVR_CUR_HST	-	-	-
AD9	GPIO175	GPIO175	INT1	-	-	-	-	-
AJ17	GPIO181	GPIO181	INT2	-	-	-	-	-
AH19	GPIO214	GPIO214	INT3	-	-	-	-	-
AA5	GPIO202	GPIO202	INT4	-	-	-	-	-
AE17	GPIO180	GPIO180	INT5	-	-	-	-	-
AD19	GPIO157	GPIO157	INT6	-	-	-	-	-
AJ4	GPIO192	GPIO192	INT7	-	-	-	-	-
AJ9	GPIO186	GPIO186	INT8	-	-	-	-	-
AJ20	GPIO207	GPIO207	INT9	-	-	-	-	-
AG16	GPIO162	GPIO162	-	-	-	-	-	-
AG20	GPIO213	GPIO213	SATA0_LED1	-	-	-	HWID81	-
AH20	GPIO208	GPIO208	SATA0_LED0	-	-	-	-	-
AK17	GPIO188	GPIO188	CLK_LOS	-	-	-	HWID95	-
AK3	GPIO190	GPIO190	-	-	USB_OVR_CUR	-	-	-



管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
AH3	GPIO191	GPIO191	-	-	POWER_EN	-	-	-
AJ3	GPIO193	GPIO193	USB_VBUS	-	-	-	-	-
AK14	GPIO194	GPIO194	SMREADY	-	-	-	-	-
AF24	GPIO196	GPIO196	SDC_CLK	-	-	-	-	-
AE24	GPIO197	GPIO197	SDC_DATA3	-	-	-	HWID94	-
AD24	GPIO200	GPIO200	SDC_DATA2	-	-	-	-	-
AD23	GPIO164	GPIO164	SDC_DATA1	-	-	-	HWID93	-
AG23	GPIO166	GPIO166	SDC_DATA0	-	-	-	HWID92	-
AF23	GPIO167	GPIO167	SDC_CMD	-	-	-	HWID91	-
T29	QL_REFCLK_INP0	QL_REFCLK_INP0	-	-	-	-	-	-
T30	QL_REFCLK_INM0	QL_REFCLK_INM0	-	-	-	-	-	-
T27	QL_REFCLK_INP1	QL_REFCLK_INP1	-	-	-	-	-	-
T26	QL_REFCLK_INM1	QL_REFCLK_INM1	-	-	-	-	-	-
AD27	QL0_L0_PAD_TXOP	QL0_L0_PAD_TXOP	-	-	-	-	-	-
AD26	QL0_L0_PAD_TXOM	QL0_L0_PAD_TXOM	-	-	-	-	-	-
AD30	QL0_L0_PAD_RXIP	QL0_L0_PAD_RXIP	-	-	-	-	-	-
AD29	QL0_L0_PAD_RXIM	QL0_L0_PAD_RXIM	-	-	-	-	-	-



管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
AB27	QL0_L1_PAD_TXOP	QL0_L1_PAD_TXOP	-	-	-	-	-	-
AB26	QL0_L1_PAD_TXOM	QL0_L1_PAD_TXOM	-	-	-	-	-	-
AB30	QL0_L1_PAD_RXIP	QL0_L1_PAD_RXIP	-	-	-	-	-	-
AB29	QL0_L1_PAD_RXIM	QL0_L1_PAD_RXIM	-	-	-	-	-	-
Y27	QL0_L2_PAD_TXOP	QL0_L2_PAD_TXOP	-	-	-	-	-	-
Y26	QL0_L2_PAD_TXOM	QL0_L2_PAD_TXOM	-	-	-	-	-	-
Y30	QL0_L2_PAD_RXIP	QL0_L2_PAD_RXIP	-	-	-	-	-	-
Y29	QL0_L2_PAD_RXIM	QL0_L2_PAD_RXIM	-	-	-	-	-	-
V27	QL0_L3_PAD_TXOP	QL0_L3_PAD_TXOP	-	-	-	-	-	-
V26	QL0_L3_PAD_TXOM	QL0_L3_PAD_TXOM	-	-	-	-	-	-
V30	QL0_L3_PAD_RXIP	QL0_L3_PAD_RXIP	-	-	-	-	-	-
V29	QL0_L3_PAD_RXIM	QL0_L3_PAD_RXIM	-	-	-	-	-	-
AH27	QL1_L0_PAD_TXOP	QL1_L0_PAD_TXOP	-	-	-	-	-	-
AH26	QL1_L0_PAD_TXOM	QL1_L0_PAD_TXOM	-	-	-	-	-	-
AH30	QL1_L0_PAD_RXIP	QL1_L0_PAD_RXIP	-	-	-	-	-	-
AH29	QL1_L0_PAD_RXIM	QL1_L0_PAD_RXIM	-	-	-	-	-	-
AF27	QL1_L1_PAD_TXOP	QL1_L1_PAD_TXOP	-	-	-	-	-	-



管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
AF26	QL1_L1_PAD_TXOM	QL1_L1_PAD_TXOM	-	-	-	-	-	-
AF30	QL1_L1_PAD_RXIP	QL1_L1_PAD_RXIP	-	-	-	-	-	-
AF29	QL1_L1_PAD_RXIM	QL1_L1_PAD_RXIM	-	-	-	-	-	-
P27	QL2_L0_PAD_TXOP	QL2_L0_PAD_TXOP	-	-	-	-	-	-
P26	QL2_L0_PAD_TXOM	QL2_L0_PAD_TXOM	-	-	-	-	-	-
P30	QL2_L0_PAD_RXIP	QL2_L0_PAD_RXIP	-	-	-	-	-	-
P29	QL2_L0_PAD_RXIM	QL2_L0_PAD_RXIM	-	-	-	-	-	-
M26	QL2_L1_PAD_TXOP	QL2_L1_PAD_TXOP	-	-	-	-	-	-
M27	QL2_L1_PAD_TXOM	QL2_L1_PAD_TXOM	-	-	-	-	-	-
M29	QL2_L1_PAD_RXIP	QL2_L1_PAD_RXIP	-	-	-	-	-	-
M30	QL2_L1_PAD_RXIM	QL2_L1_PAD_RXIM	-	-	-	-	-	-
K26	QL2_L2_PAD_TXOP	QL2_L2_PAD_TXOP	-	-	-	-	-	-
K27	QL2_L2_PAD_TXOM	QL2_L2_PAD_TXOM	-	-	-	-	-	-
K29	QL2_L2_PAD_RXIP	QL2_L2_PAD_RXIP	-	-	-	-	-	-
K30	QL2_L2_PAD_RXIM	QL2_L2_PAD_RXIM	-	-	-	-	-	-
H26	QL2_L3_PAD_TXOP	QL2_L3_PAD_TXOP	-	-	-	-	-	-
H27	QL2_L3_PAD_TXOM	QL2_L3_PAD_TXOM	-	-	-	-	-	-



管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
H29	QL2_L3_PAD_RXIP	QL2_L3_PAD_RXIP	-	-	-	-	-	-
H30	QL2_L3_PAD_RXIM	QL2_L3_PAD_RXIM	-	-	-	-	-	-
AA24	QL2_EXTRESISTOR	-	-	-	-	-	-	-
D1	DDR_RESET_N	DDR_RESET_N	-	-	-	-	-	-
F3	DDR_CK0_T	DDR_CK0_T	-	-	-	-	-	-
F4	DDR_CK0_C	DDR_CK0_C	-	-	-	-	-	-
H6	DDR_CK1_T	DDR_CK1_T	-	-	-	-	-	-
H7	DDR_CK1_C	DDR_CK1_C	-	-	-	-	-	-
G6	DDR_CK2_T	DDR_CK2_T	-	-	-	-	-	-
G5	DDR_CK2_C	DDR_CK2_C	-	-	-	-	-	-
B3	DDR_CK3_T	DDR_CK3_T	-	-	-	-	-	-
A3	DDR_CK3_C	DDR_CK3_C	-	-	-	-	-	-
H1	DDR_CS0_A	DDR_CS0_A	-	-	-	-	-	-
K5	DDR_CS1_A	DDR_CS1_A	-	-	-	-	-	-
E7	DDR_CS0_B	DDR_CS0_B	-	-	-	-	-	-
C4	DDR_CS1_B	DDR_CS1_B	-	-	-	-	-	-
E28	DDR_DM0_T_A	DDR_DM0_T_A	-	-	-	-	-	-
C30	DDR_DM1_T_A	DDR_DM1_T_A	-	-	-	-	-	-
B26	DDR_DM2_T_A	DDR_DM2_T_A	-	-	-	-	-	-
F20	DDR_DM3_T_A	DDR_DM3_T_A	-	-	-	-	-	-
E19	DDR_DM4_T_A	DDR_DM4_T_A	-	-	-	-	-	-
A13	DDR_DM0_T_B	DDR_DM0_T_B	-	-	-	-	-	-



管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
G13	DDR_DM1_T_B	DDR_DM1_T_B	-	-	-	-	-	-
E10	DDR_DM2_T_B	DDR_DM2_T_B	-	-	-	-	-	-
F9	DDR_DM3_T_B	DDR_DM3_T_B	-	-	-	-	-	-
F17	DDR_DM4_T_B	DDR_DM4_T_B	-	-	-	-	-	-
C20	DDR_CB0_A	DDR_CB0_A	-	-	-	-	-	-
G18	DDR_CB1_A	DDR_CB1_A	-	-	-	-	-	-
A21	DDR_CB2_A	DDR_CB2_A	-	-	-	-	-	-
B20	DDR_CB3_A	DDR_CB3_A	-	-	-	-	-	-
D19	DDR_CB4_A	DDR_CB4_A	-	-	-	-	-	-
D18	DDR_CB5_A	DDR_CB5_A	-	-	-	-	-	-
C18	DDR_CB6_A	DDR_CB6_A	-	-	-	-	-	-
F18	DDR_CB7_A	DDR_CB7_A	-	-	-	-	-	-
E17	DDR_CB0_B	DDR_CB0_B	-	-	-	-	-	-
C17	DDR_CB1_B	DDR_CB1_B	-	-	-	-	-	-
A18	DDR_CB2_B	DDR_CB2_B	-	-	-	-	-	-
B17	DDR_CB3_B	DDR_CB3_B	-	-	-	-	-	-
G16	DDR_CB4_B	DDR_CB4_B	-	-	-	-	-	-
E16	DDR_CB5_B	DDR_CB5_B	-	-	-	-	-	-
A15	DDR_CB6_B	DDR_CB6_B	-	-	-	-	-	-
D16	DDR_CB7_B	DDR_CB7_B	-	-	-	-	-	-
F27	DDR_DQS0_T_A	DDR_DQS0_T_A	-	-	-	-	-	-
F26	DDR_DQS0_C_A	DDR_DQS0_C_A	-	-	-	-	-	-
C29	DDR_DQS1_T_A	DDR_DQS1_T_A	-	-	-	-	-	-



管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
B29	DDR_DQS1_C_A	DDR_DQS1_C_A	-	-	-	-	-	-
B25	DDR_DQS2_T_A	DDR_DQS2_T_A	-	-	-	-	-	-
A25	DDR_DQS2_C_A	DDR_DQS2_C_A	-	-	-	-	-	-
B22	DDR_DQS3_T_A	DDR_DQS3_T_A	-	-	-	-	-	-
A22	DDR_DQS3_C_A	DDR_DQS3_C_A	-	-	-	-	-	-
A19	DDR_DQS4_T_A	DDR_DQS4_T_A	-	-	-	-	-	-
B19	DDR_DQS4_C_A	DDR_DQS4_C_A	-	-	-	-	-	-
B14	DDR_DQS0_T_B	DDR_DQS0_T_B	-	-	-	-	-	-
C14	DDR_DQS0_C_B	DDR_DQS0_C_B	-	-	-	-	-	-
B11	DDR_DQS1_T_B	DDR_DQS1_T_B	-	-	-	-	-	-
C11	DDR_DQS1_C_B	DDR_DQS1_C_B	-	-	-	-	-	-
C9	DDR_DQS2_T_B	DDR_DQS2_T_B	-	-	-	-	-	-
D9	DDR_DQS2_C_B	DDR_DQS2_C_B	-	-	-	-	-	-
B5	DDR_DQS3_T_B	DDR_DQS3_T_B	-	-	-	-	-	-
C5	DDR_DQS3_C_B	DDR_DQS3_C_B	-	-	-	-	-	-
A16	DDR_DQS4_T_B	DDR_DQS4_T_B	-	-	-	-	-	-
B16	DDR_DQS4_C_B	DDR_DQS4_C_B	-	-	-	-	-	-
H5	DDR_CA0_A	DDR_CA0_A	-	-	-	-	-	-



管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
K3	DDR_CA1_A	DDR_CA1_A	-	-	-	-	-	-
G4	DDR_CA2_A	DDR_CA2_A	-	-	-	-	-	-
K7	DDR_CA3_A	DDR_CA3_A	-	-	-	-	-	-
L7	DDR_CA4_A	DDR_CA4_A	-	-	-	-	-	-
G1	DDR_CA5_A	DDR_CA5_A	-	-	-	-	-	-
E2	DDR_CA6_A	DDR_CA6_A	-	-	-	-	-	-
J4	DDR_CA7_A	DDR_CA7_A	-	-	-	-	-	-
E3	DDR_CA8_A	DDR_CA8_A	-	-	-	-	-	-
H3	DDR_CA9_A	DDR_CA9_A	-	-	-	-	-	-
H2	DDR_CA10_A	DDR_CA10_A	-	-	-	-	-	-
G2	DDR_CA11_A	DDR_CA11_A	-	-	-	-	-	-
E4	DDR_CA12_A	DDR_CA12_A	-	-	-	-	-	-
J6	DDR_CA0_B	DDR_CA0_B	-	-	-	-	-	-
D2	DDR_CA1_B	DDR_CA1_B	-	-	-	-	-	-
J7	DDR_CA2_B	DDR_CA2_B	-	-	-	-	-	-
B4	DDR_CA3_B	DDR_CA3_B	-	-	-	-	-	-
C1	DDR_CA4_B	DDR_CA4_B	-	-	-	-	-	-
F5	DDR_CA5_B	DDR_CA5_B	-	-	-	-	-	-
E6	DDR_CA6_B	DDR_CA6_B	-	-	-	-	-	-
C2	DDR_CA7_B	DDR_CA7_B	-	-	-	-	-	-
D5	DDR_CA8_B	DDR_CA8_B	-	-	-	-	-	-
A4	DDR_CA9_B	DDR_CA9_B	-	-	-	-	-	-
F7	DDR_CA10_B	DDR_CA10_B	-	-	-	-	-	-
B2	DDR_CA11_B	DDR_CA11_B	-	-	-	-	-	-



管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
G8	DDR_CA12_B	DDR_CA12_B	-	-	-	-	-	-
F30	DDR_DQ0_A	DDR_DQ0_A	-	-	-	-	-	-
F29	DDR_DQ1_A	DDR_DQ1_A	-	-	-	-	-	-
D30	DDR_DQ2_A	DDR_DQ2_A	-	-	-	-	-	-
E29	DDR_DQ3_A	DDR_DQ3_A	-	-	-	-	-	-
D28	DDR_DQ4_A	DDR_DQ4_A	-	-	-	-	-	-
E26	DDR_DQ5_A	DDR_DQ5_A	-	-	-	-	-	-
G24	DDR_DQ6_A	DDR_DQ6_A	-	-	-	-	-	-
D27	DDR_DQ7_A	DDR_DQ7_A	-	-	-	-	-	-
C27	DDR_DQ8_A	DDR_DQ8_A	-	-	-	-	-	-
C26	DDR_DQ9_A	DDR_DQ9_A	-	-	-	-	-	-
F24	DDR_DQ10_A	DDR_DQ10_A	-	-	-	-	-	-
G22	DDR_DQ11_A	DDR_DQ11_A	-	-	-	-	-	-
D25	DDR_DQ12_A	DDR_DQ12_A	-	-	-	-	-	-
E25	DDR_DQ13_A	DDR_DQ13_A	-	-	-	-	-	-
B28	DDR_DQ14_A	DDR_DQ14_A	-	-	-	-	-	-
F23	DDR_DQ15_A	DDR_DQ15_A	-	-	-	-	-	-
C24	DDR_DQ16_A	DDR_DQ16_A	-	-	-	-	-	-
E23	DDR_DQ17_A	DDR_DQ17_A	-	-	-	-	-	-
A28	DDR_DQ18_A	DDR_DQ18_A	-	-	-	-	-	-
A27	DDR_DQ19_A	DDR_DQ19_A	-	-	-	-	-	-



管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
G21	DDR_DQ20_A	DDR_DQ20_A	-	-	-	-	-	-
D24	DDR_DQ21_A	DDR_DQ21_A	-	-	-	-	-	-
E22	DDR_DQ22_A	DDR_DQ22_A	-	-	-	-	-	-
F21	DDR_DQ23_A	DDR_DQ23_A	-	-	-	-	-	-
C23	DDR_DQ24_A	DDR_DQ24_A	-	-	-	-	-	-
D22	DDR_DQ25_A	DDR_DQ25_A	-	-	-	-	-	-
A24	DDR_DQ26_A	DDR_DQ26_A	-	-	-	-	-	-
B23	DDR_DQ27_A	DDR_DQ27_A	-	-	-	-	-	-
G19	DDR_DQ28_A	DDR_DQ28_A	-	-	-	-	-	-
E20	DDR_DQ29_A	DDR_DQ29_A	-	-	-	-	-	-
C21	DDR_DQ30_A	DDR_DQ30_A	-	-	-	-	-	-
D21	DDR_DQ31_A	DDR_DQ31_A	-	-	-	-	-	-
G15	DDR_DQ0_B	DDR_DQ0_B	-	-	-	-	-	-
F15	DDR_DQ1_B	DDR_DQ1_B	-	-	-	-	-	-
C15	DDR_DQ2_B	DDR_DQ2_B	-	-	-	-	-	-
D15	DDR_DQ3_B	DDR_DQ3_B	-	-	-	-	-	-
F14	DDR_DQ4_B	DDR_DQ4_B	-	-	-	-	-	-
B13	DDR_DQ5_B	DDR_DQ5_B	-	-	-	-	-	-
A12	DDR_DQ6_B	DDR_DQ6_B	-	-	-	-	-	-
E14	DDR_DQ7_B	DDR_DQ7_B	-	-	-	-	-	-
C12	DDR_DQ8_B	DDR_DQ8_B	-	-	-	-	-	-



管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
D12	DDR_DQ9_B	DDR_DQ9_B	-	-	-	-	-	-
D13	DDR_DQ10_B	DDR_DQ10_B	-	-	-	-	-	-
E13	DDR_DQ11_B	DDR_DQ11_B	-	-	-	-	-	-
G12	DDR_DQ12_B	DDR_DQ12_B	-	-	-	-	-	-
A10	DDR_DQ13_B	DDR_DQ13_B	-	-	-	-	-	-
E11	DDR_DQ14_B	DDR_DQ14_B	-	-	-	-	-	-
F12	DDR_DQ15_B	DDR_DQ15_B	-	-	-	-	-	-
F11	DDR_DQ16_B	DDR_DQ16_B	-	-	-	-	-	-
B10	DDR_DQ17_B	DDR_DQ17_B	-	-	-	-	-	-
A7	DDR_DQ18_B	DDR_DQ18_B	-	-	-	-	-	-
B8	DDR_DQ19_B	DDR_DQ19_B	-	-	-	-	-	-
D10	DDR_DQ20_B	DDR_DQ20_B	-	-	-	-	-	-
C8	DDR_DQ21_B	DDR_DQ21_B	-	-	-	-	-	-
A9	DDR_DQ22_B	DDR_DQ22_B	-	-	-	-	-	-
G10	DDR_DQ23_B	DDR_DQ23_B	-	-	-	-	-	-
G9	DDR_DQ24_B	DDR_DQ24_B	-	-	-	-	-	-
B7	DDR_DQ25_B	DDR_DQ25_B	-	-	-	-	-	-
A6	DDR_DQ26_B	DDR_DQ26_B	-	-	-	-	-	-



管脚位置	PKG Name	Function 0 Sig name	Function 1 Sig name	Function 2 Sig name	Function 3 Sig name	Function 4 Sig name	Function 5 Sig name	Function 6 Sig name
C6	DDR_DQ27_B	DDR_DQ27_B	-	-	-	-	-	-
E8	DDR_DQ28_B	DDR_DQ28_B	-	-	-	-	-	-
D6	DDR_DQ29_B	DDR_DQ29_B	-	-	-	-	-	-
F8	DDR_DQ30_B	DDR_DQ30_B	-	-	-	-	-	-
D7	DDR_DQ31_B	DDR_DQ31_B	-	-	-	-	-	-
F1	DDR_ALERT_N	DDR_ALERT_N	-	-	-	-	-	-
K1	DDR_LBD	DDR_LBD	-	-	-	-	-	-
K2	DDR_LBS	DDR_LBS	-	-	-	-	-	-
J1	DDR_ATB0	DDR_ATB0	-	-	-	-	-	-
K4	DDR_ATB1	DDR_ATB1	-	-	-	-	-	-
J3	DDR_TST0_P	DDR_TST0_P	-	-	-	-	-	-
J2	DDR_TST0_N	DDR_TST0_N	-	-	-	-	-	-
D3	DDR_ZQ0	DDR_ZQ0	-	-	-	-	-	-
AK28	USB_DP1	DRD_USB_DP	-	-	-	-	-	-
AK27	USB_DM1	DRD_USB_DM	-	-	-	-	-	-
AF2	USB_DP0	HST_USB_DP	-	-	-	-	-	-
AF1	USB_DM0	HST_USB_DM	-	-	-	-	-	-



须知

管脚作为HWID功能使用时，需注意是否与其他复用功能冲突。



2 时钟

2.1 概述

时钟管理模块对芯片时钟输入、时钟生成和控制进行统一的管理，包括：

- 各PLL控制
- 时钟分频和控制
- 生成各模块的工作时钟
- 时钟门控

2.2 时钟接口信号描述

Hi309a芯片时钟接口如图2-1所示。

图 2-1 Hi309a 芯片时钟接口

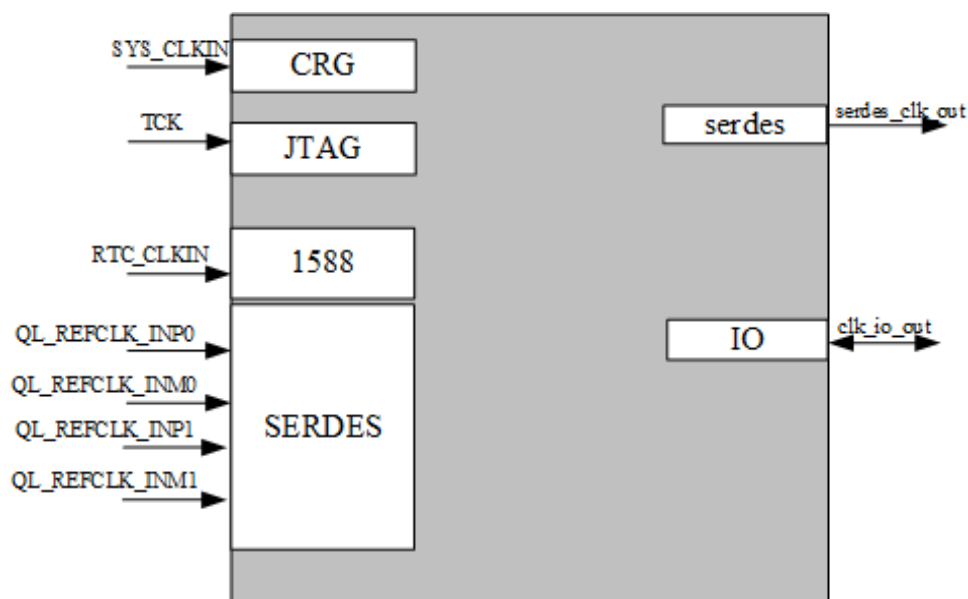




表 2-1 Hi309a 芯片时钟接口信号描述

功能名称	方向	描述	频率
SYS_CLKIN	I	系统主时钟输入	25MHz/50MHz/ 66.7MHz
RTC_CLKIN	I	1588功能所需的RTC时钟输入（网络场景使用）	25MHz
TCK	I	JTAG时钟输入	≤25MHz
QL_REFCLK_INP0	I	SerDes正向差分参考时钟输入	156.25/100MHz
QL_REFCLK_INM0	I	SerDes反向差分参考时钟输入	156.25/100MHz
QL_REFCLK_INP1	I	SerDes正向差分参考时钟输入	156.25/100MHz
QL_REFCLK_INM1	I	SerDes反向差分参考时钟输入	156.25/100MHz
SERDES_CLK_OUT0	O	网络同步以太网时钟输出（网络场景使用）	从SerDes CDR电路恢复出来的时钟输出，用于同步以太网；复用SPICK3/ GPIO161管脚，网络同步以太出8kHz
SERDES_CLK_OUT1	O	网络同步以太网时钟输出（网络场景使用）	从SerDes CDR电路恢复出来的时钟输出，用于同步以太网；复用SPIDI3/ GPIO160管脚，网络同步以太出8kHz
SERDES_CLK_OUT2	O	网络同步以太网时钟输出（网络场景使用）	从SerDes CDR电路恢复出来的时钟输出，用于同步以太网；复用GPIO217/ SPIDO3管脚，网络同步以太出8kHz

2.3 时钟配置管脚

Hi309a产品板有三种晶振需求：25MHz、50MHz和66.7MHz，需要外部管脚指示告知芯片当前提供的晶振频点。使用以下两个管脚BOOT_SEL3和BOOT_SEL4。由单板配置信息，用于内部的boot rom及CRG电路判断外部输入晶振的频率。



表 2-2 时钟配置管脚列表

BOOT_SEL4	BOOT_SEL3	频率
0	0	50M
0	1	66.667M
1	X	25M

2.4 时钟电气参数

2.4.1 SYS_CLK 时钟电气参数

表 2-3 SYS_CLK 参考时钟要求

参数	最小值	典型值	最大值	单位
时钟频率	25	50	66.667	MHz
占空比	45%	50%	55%	-
频偏	-	-	±50ppm	ppm
上升、下降时间	-	-	≤时钟周期 *15% ns (20%~80%)	ns
RMS Jitter	-	-	<2ps (12K~20M)	ps

SYS_CLK时钟需要通过单板晶振提供给芯片，用于内部PLL的参考时钟，需要在上电前就提供稳定的晶振时钟输入。

2.4.2 TCK 时钟电气参数

表 2-4 TCK 时钟要求

参数	最小值	典型值	最大值	单位
时钟频率	12.5	25	25	MHz
占空比	45%	50%	55%	-
频偏	-	-	±25	ppm
上升、下降时间	-	-	≤时钟周期 *15% ns (20%~80%)	ns



参数	最小值	典型值	最大值	单位
Jitter	-	-	<2ps (12K~20M)	ps

2.4.3 RTC_CLKIN 时钟电气参数

表 2-5 RTC_CLKIN 时钟要求

参数	最小值	典型值	最大值	单位
时钟频率	-	25	-	MHz
占空比	45%	50%	55%	-
频偏	-100	-	+100	ppm
上升、下降时间	-	-	≤时钟周期 *15% ns (20%~80%)	ns
Jitter	-	-	<2ps (12K~20M)	ps

2.4.4 网络同步以太网恢复时钟输出电气参数

表 2-6 网络同步以太时钟参数

参数名	标识	最小值	典型值	最大值	单位	说明
频率	F _{nominal}	-	8kHz	-	kHz	-
占空比	DutyCycle	45%	50%	55%	%	-

2.4.5 SERDES 参考时钟电气参数

SERDES的156.25/100MHz参考时钟请按照如下电气参数约束。

表 2-7 SERDES 参考时钟电气参数

参数	最小值	典型值	最大值	单位	备注
幅值摆幅	300	-	700	mVpp	测试点位于耦合电容靠近Hi309a端，单端电压



参数	最小值	典型值	最大值	单位	备注
占空比	45%	50%	55%	-	-
上升时间	100	-	500	ps	幅值的20%-80%

2.5 单板设计建议

无

2.6 应用约束

1. SYS_CLKIN必须在上电解复位(PORN)撤离前128个晶振周期提供稳定时钟。
2. RTC_CLK需要在PLL7初始化之前稳定提供即可。
3. SerDes参考时钟在SerDes初始化之前稳定即可，如果SerDes参考时钟有重新校准或者锁定，则对应SerDes lane (cs+ds) 需要重新进行初始化。



3 复位

3.1 概述

复位管理模块对整个芯片的复位、各功能模块的复位进行统一管理，生成芯片内部各功能模块的复位信号，包括：

- 系统上电复位的管理和控制。滤掉20个时钟周期的复位毛刺，并扩展256个晶振周期的宽度。
- 系统非上电复位、功能模块单独软复位。系统非上电复位支持DDR自刷新。
- 复位信号同步到各模块对应时钟域。
- 所有控制通过系统控制器寄存器和功耗管理模块进行配置。

3.1.1 Hi309a 网络场景下支持以下复位类型

- 000：用户自定义复位。
- 001：上电复位。
- 010：全局软复位（CPU主动触发外狗复位，上报临终遗言中断）。
- 011：CAN控制复位（CAN主动触发外狗复位，上报临终遗言中断）。
- 100：按键复位（按键触发外狗复位，上报临终遗言中断）。
- 101：外部狗溢出复位（外狗溢出复位，上报临终遗言中断）。
- 110：内部狗溢出复位（内狗溢出复位，上报临终遗言中断）。
- 111：CPU系统软复位（不触发外部狗复位，直接写寄存器复位CPU。不触发临终遗言）。

3.2 复位接口信号

3.2.1 复位接口信号

Hi309a的复位结构如[图3-1](#)所示。

图 3-1 Hi309a 的复位结构图

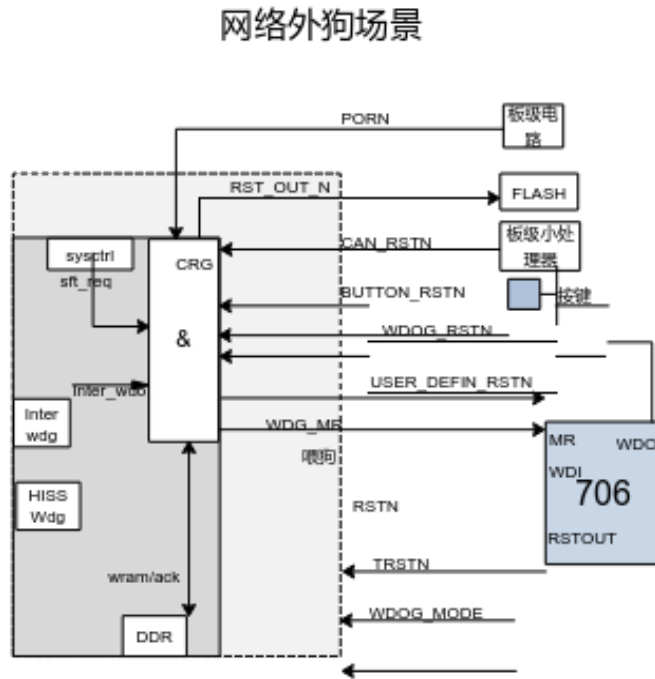


表 3-1 复位信号描述

功能名称	方向	描述
RSTN	I	系统复位输入，低电平有效，用于设计复位整芯片逻辑。
PORN	I	系统上电复位管脚，低电平有效；当发生系统复位时，PORN为低表示是上电复位，上电完成后PORN始终为高。
CAN_RSTN	I	CAN复位输入，低电平有效。
BUTTON_RSTN	I	按键复位输入，低电平有效。
WDG_RSTN	I	外部狗溢出复位输入，低电平有效。
USER_DEFINE_RSTN	I	用户自定义复位输入，低电平有效。
TRSTN	I	JTAG复位输入，低电平有效。
RST_OUT_N	O	CPU复位输出，可用于复位CPU周边器件。在内部处理器撤离复位前拉高，默认CPU复位撤离前200us拉高。
WDG_WDI	O	专用的喂狗信号。
WDG_MR	O	芯片内部复位外部看门狗信号，输出低电平持续时间必须大于1ms，连接外部看门狗MR信号。



功能名称	方向	描述
WDOG_MODE	I	0：芯片使用内部看门狗复位模式； 1：芯片使用外部看门狗复位模式。

首先，明确Hi309a芯片复位输入管脚包括：PORN、RSTN、CAN_RSTN、BUTTON_RSTN、WDG_RSTN、USER_DEFINE_RSTN；复位相关输出管脚包括：硬件喂狗WDI、芯片复位外部看门狗WDG_MR、RST_OUT_N等。

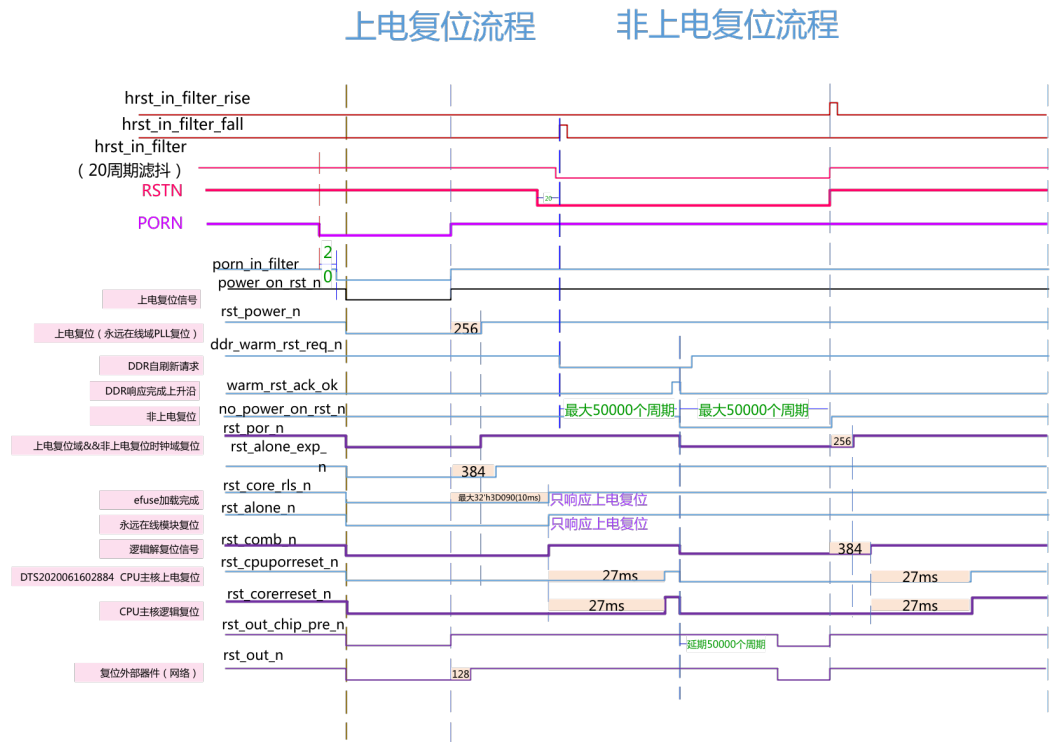
表 3-2 各种类型的复位范围描述

复位类型	复位方法	解复位方法	复位范围描述
上电复位	PORN管脚低电平有效	PORN管脚低电平撤离	复位整芯片
非上电复位	上述外部复位源任一低电平有效	对应外部复位源低电平撤离	除CRG部分逻辑、系统控制器部分逻辑等其他部分均被复位

3.3 复位类型

3.3.1 芯片上电复位与非上电复位整体时序图

图 3-2 芯片上电复位与非上电复位整体时序图

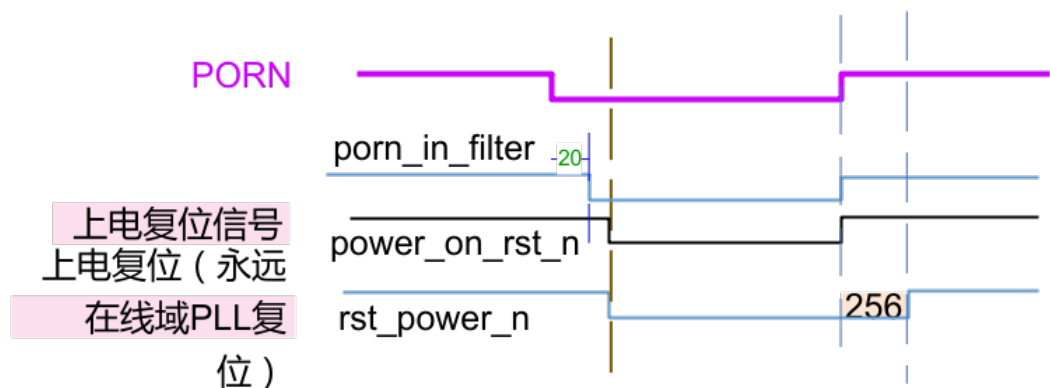


3.3.2 芯片上电复位

Hi309a上电复位必须满足如下条件：

- 芯片的电源上电稳定后（除EFUSE_VQPS以外）。
- 上电复位管脚PORN输入低电平。
- 晶振时钟输入稳定正常。
- 复位管脚PORN信号为低并大于20个晶振周期。

图 3-3 上电复位时序图



须知

porn_in_filter、power_on_rst_n、rst_power_n为芯片内部逻辑产生的信号。

3.3.3 网络外狗场景芯片非上电复位

3.3.3.1 外部复位源输入

Hi309a网络外狗场景外部复位源输入导致的非上电复位必须满足如下条件：

- 网络场景，管脚BOOT_SEL5在芯片封装时上拉。
- 内狗外狗模式管脚WDOG_MODE上拉。
- 上电复位管脚PORN保持高电平。
- 任意复位源管脚CAN_RSTN/BUTTON_RSTN/WDG_RSTN/ USER_DEFINE_RSTN输入低电平，且低电平维持时间大于20个晶振周期。
- 晶振时钟输入稳定正常。
- 经“与”逻辑以及内部延时电路后送出WDG_MR低电平信号，并引入RSTN低电平输入，从而触发芯片复位。



须知

RSTN低电平持续时间要求至少50000个晶振cycle（对应25M晶振时钟，约2ms），因为CRG内部逻辑实现：芯片外围Flash晚于CPU复位的时间差为50000个CYCLE，因此如果低电平持续宽度不够，会导致CPU复位了，但外围Flash没有复位成功。

3.3.3.2 全局软复位

Hi309a全局软复位导致的非上电复位步骤如下：

- 步骤1** 通过配置系统SYSCTRL寄存器，为特定值“32'h5555_5555”；由SYSCTRL送出glb_sft_req高电平有效信号，送至系统CRG。
- 步骤2** 系统CRG采样glb_sft_req信号，但不直接触发芯片复位，而是与其他外部复位源（外部复位源要经过有效输入判断电路及延时电路处理）经“与”逻辑后送出WDG_MR低电平信号，并引入RSTN低电平输入，从而触发芯片复位。

----结束

3.3.3.3 内部狗溢出复位

内部狗关键特性：

- 特性一：内部狗具有定时的溢出能力，当1.2s@66.667MHz，1.6s@50MHz，1.6s@25MHz（同时时间可调）内没有喂狗信号时，则内部狗溢出，产生一次内部狗复位。
- 特征二：内部狗计时的清0方式，包括：“软件清0”、“掉电复位”、“逻辑喂狗”、“内部狗自身溢出”四种。
- 特性三：“内部狗定时溢出”，最终内部狗的复位功能必须支持软件可配；即只有使能该功能时，内部狗溢出才会引起芯片复位。
- 特性四：内部狗必须依赖系统参考时钟。
- 特性五：WDOG_MODE为外狗模式时（WDOG_MODE上拉），内部狗默认不工作，需要软件配置使能启动。
- 特性六：任意有效复位源撤离时，会触发内部狗重新计数。

Hi309a内部狗溢出导致的非上电复位步骤如下：

- 步骤1** 芯片内部看门狗定时溢出触发内部狗送出复位请求信号inter_wdg_srst_req_n低电平有效信号。
- 步骤2** CRG采样到inter_wdg_srst_req_n低电平有效后，并不直接触发芯片复位，而是与芯片与其他外部复位源（外部复位源要经过有效输入判断电路及延时电路处理）及系统软复位请求信号，经“与”逻辑以及内部延时电路后送出WDG_MR低电平信号，并引入RSTN低电平输入，从而触发芯片复位。

----结束

3.3.3.4 芯片非上电复位流程

芯片上电完成后，PORN管脚保持高电平，此时以上任意类型的非上电复位形式有效后（外部复位源输入，需要经过有效外部复位源检测以及延时输出等电路处理），送出WDG_MR低电平有效信号，从而触发单板硬件电路向Hi309a送入RSTN低电平有效，触发芯片发生非上电复位，具体流程如下：



- 步骤1** Hi309a输入RSTN有效低电平。
- 步骤2** 系统CRG电路采样到RSTN低电平有效信号后，向DDRC发出自刷新请求。
- 步骤3** “ddr_warm_rst_req_n”低电平有效信号；系统CRG启动保护计时，默认50000个晶振cycle，等待DDRC返回握手ack信号。
- 步骤4** 待DDRC正常返回握手信号“ddr_wram_rst_ack_n”低电平有效信号，或者保护计时满足50000个晶振cycle计时后，系统CRG触发非上电复位有效。
- 步骤5** 复位有效后，系统CRG电路延迟64个周期将“ddr_warm_rst_req_n”置高电平无效，完成本次请求握手；同时整个系统时钟被bypass到晶振时钟，系统进入slow模式。
- 步骤6** RSTN低电平有效持续200ms左右（由单板硬件电路典型如706芯片决定），撤离RSTN低电平；系统CRG电路采样到RSTN低电平撤离后，即将非上电复位信号置无效，从而完成本次复位流程。
- 结束

3.3.3.5 CPU 系统软复位

CPU系统软复位支持硬件流程和软件流程两种方式的独立复位；其中硬件流程等同于“芯片非上电复位流程”介绍，即只要单板硬件电路将RSTN管脚独立置低电平有效即可；在此不再赘述；

对于CPU系统软件流程触发的复位，具体步骤如下：

- 步骤1** 通过配置系统SUBCTRL寄存器（具体见可寄存器表单描述）为特定值“32'h5555_5555”；由系统控制器送出sc_srst_ap_req高电平有效信号，送至系统CRG。
- 步骤2** 系统CRG采样到sc_srst_ap_req有效后，启动50000个(可配置)晶振cycle计数；计满后自动撤离复位。
- 步骤3** 系统CRG采样到sc_srst_ap_req有效信号后，向DDRC发出自刷新请求“ddr_warm_rst_req_n”低电平有效信号；系统CRG启动保护计时，默认50000个晶振cycle，等待DDRC返回握手ack信号。
- 步骤4** 待DDRC正常返回握手信号“ddr_wram_rst_ack_n”低电平有效信号，或者保护计时满足50000个晶振cycle计时后，系统CRG触发CPU系统复位。
- 步骤5** 待复位请求撤离后，至此完成CPU系统软件流程触发的复位操作。
- 结束

须知

网络场景CPU系统软复位主要用于调试场景；如果用于产品场景需要软件保证先做临终遗言记录，再触发复位。

3.3.4 网络内狗场景芯片非上电复位

3.3.4.1 外部复位源输入

Hi309a网络内狗场景外部复位源输入导致的非上电复位必须满足如下条件：



- 网络场景，管脚BOOT_SEL5在芯片封装时上拉。
- 内狗外狗模式管脚WDOG_MODE下拉。
- 上电复位管脚PORN保持高电平。
- 任意复位源管脚CAN_RSTN/BUTTON_RSTN/WDG_RSTN/ USER_DEFINE_RSTN输入低电平，且低电平维持时间大于20个晶振周期。
- 晶振时钟输入稳定正常。

须知

RSTN低电平持续时间要求至少50000个晶振cycle（对应25M晶振时钟，约2ms），因为CRG内部逻辑实现：芯片外围Flash晚于CPU复位的时间差为50000个CYCLE，因此如果低电平持续宽度不够，会导致CPU复位了，但外围Flash没有复位成功。

3.3.4.2 全局软复位

Hi309a系统软复位导致的非上电复位步骤如下：

- 步骤1** 通过配置系统SYSCTRL寄存器，为特定值“32'h5555_5555”；由SYSCTRL送出glb_sft_req高电平有效信号，系统CRG电路采样到glb_sft_req高电平有效信号后，向DDRC发出自刷新请求。
- 步骤2** “ddr_warm_rst_req_n”低电平有效信号；系统CRG启动保护计时，默认50000个晶振cycle，等待DDRC返回握手ack信号。
- 步骤3** 待DDRC正常返回握手信号“ddr_wram_rst_ack_n”低电平有效信号，或者保护计时满足50000个晶振cycle计时后，系统CRG触发非上电复位有效。
- 步骤4** 复位有效后，系统CRG电路延迟64个周期将“ddr_warm_rst_req_n”置高电平无效，完成本次请求握手；同时整个系统时钟被bypass到晶振时钟，系统进入slow模式。
- 步骤5** glb_sft_req高电平有效持续50000个周期（可配置），撤离glb_sft_req低电平；系统CRG电路采样到glb_sft_req电平撤离后，即将非上电复位信号置无效，从而完成本次复位流程。

----结束

3.3.4.3 内部狗溢出复位

内部狗关键特性：

- 特性一：内部狗具有定时的溢出能力，当1.2s@66.667MHz、1.6s@50MHz、1.6s@25MHz（同时时间可调）内没有喂狗信号时，则内部狗溢出，产生一次内部狗复位。
- 特征二：内部狗计时的清0方式，包括：“软件清0”、“掉电复位”、“逻辑喂狗”、“内部狗自身溢出”四种。
- 特性三：“内部狗定时溢出”，最终内部狗的复位功能必须支持软件可配；即只有使能该功能时，内部狗溢出才会引起芯片复位。
- 特性四：内部狗必须依赖系统参考时钟。
- 特性五：WDOG_MODE为内狗模式时（WDOG_MODE下拉），内部狗默认工作。



- 特性六：内部狗溢出产生的复位会触发临终遗言中断。
- 特性七：任意有效复位源撤离时，会触发内部狗重新计数。

Hi309a内部狗溢出导致的非上电复位步骤如下：

- 步骤1** 芯片内部看门狗定时溢出触发内部狗送出复位请求信号inter_wdg_srst_re_n低电平有效信号。
- 步骤2** CRG采样到inter_wdg_srst_req_n低电平有效后，向DDRC发出自刷新请求。
- 步骤3** “ddr_warm_rst_req_n”低电平有效信号；系统CRG启动保护计时，默认50000个晶振cycle，等待DDRC返回握手ack信号。
- 步骤4** 待DDRC正常返回握手信号“ddr_wram_rst_ack_n”低电平有效信号，或者保护计时满足50000个晶振cycle计时后，系统CRG触发非上电复位有效。
- 步骤5** 复位有效后，系统CRG电路延迟64个周期将“ddr_warm_rst_req_n”置高电平无效，完成本次请求握手；同时整个系统时钟被bypass到晶振时钟，系统进入slow模式。
- 步骤6** inter_wdg_srst_req_n低电平有效持续200ms（不可配置），系统CRG电路采样到inter_wdg_srst_req_n电平撤离后，即将非上电复位信号置无效，从而完成本次复位流程。

----结束

3.3.4.4 芯片非上电复位流程

芯片上电完成后，PORN管脚保持高电平，此时以上任意类型的非上电复位形式有效后（外部复位源输入，需要经过有效外部复位源检测以及延时输出等电路处理），触发芯片发生非上电复位，具体流程如下：

- 步骤1** Hi309a输入RSTN有效低电平。
- 步骤2** 系统CRG电路采样到外部复位源检测以及延时输出等电路输出低电平有效信号后，向DDRC发出自刷新请求。
- 步骤3** “ddr_warm_rst_req_n”低电平有效信号；系统CRG启动保护计时，默认50000个晶振cycle，等待DDRC返回握手ack信号。
- 步骤4** 待DDRC正常返回握手信号“ddr_wram_rst_ack_n”低电平有效信号，或者保护计时满足50000个晶振cycle计时后，系统CRG触发非上电复位有效。
- 步骤5** 复位有效后，系统CRG电路延迟64个周期将“ddr_warm_rst_req_n”置高电平无效，完成本次请求握手；同时整个系统时钟被bypass到晶振时钟，系统进入slow模式。
- 步骤6** 系统CRG电路采样到输入复位源低电平撤离后，即将非上电复位信号置无效，从而完成本次复位流程。

----结束

3.3.4.5 CPU 系统软复位

CPU系统软复位支持硬件流程和软件流程两种方式的独立复位；其中硬件流程等同于“芯片非上电复位流程”介绍，即只要单板硬件电路将RSTN管脚独立置低电平有效即可；在此不再赘述。

对于CPU系统软件流程触发的复位，具体步骤如下：

- 步骤1** 通过配置系统SUBCTRL寄存器（具体见可寄存器表单描述）为特定值“32'h5555_5555”；由系统控制器送出sc_srst_ap_req高电平有效信号，送至系统CRG。
- 步骤2** 系统CRG采样到sc_srst_ap_req有效后，启动50000个(可配置)晶振cycle计数；计满后自动撤离复位。
- 步骤3** 系统CRG采样到sc_srst_ap_req有效信号后，向DDRC发出自刷新请求“ddr_warm_rst_req_n”低电平有效信号；系统CRG启动保护计时，默认50000个晶振cycle，等待DDRC返回握手ack信号。
- 步骤4** 待DDRC正常返回握手信号“ddr_wram_rst_ack_n”低电平有效信号，或者保护计时满足50000个晶振cycle计时后，系统CRG触发CPU系统复位。
- 步骤5** 待复位请求撤离后，至此完成CPU系统软件流程触发的复位操作。
- 结束

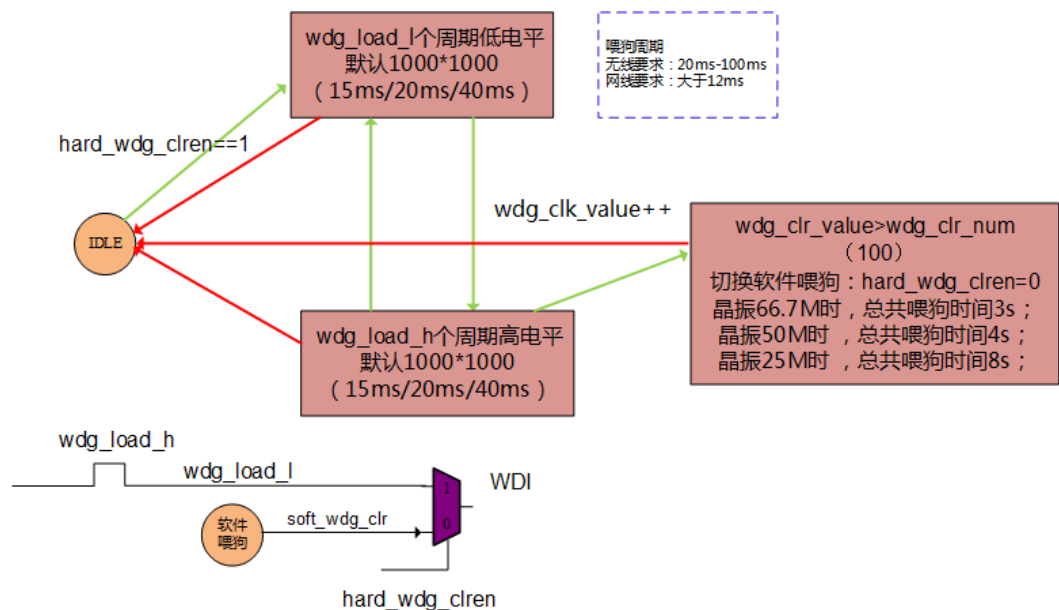
须知

网络场景CPU系统软复位主要用于调试场景；如果用于产品场景需要软件保证先做临终遗言记录，再触发复位。

3.4 关键电路说明

3.4.1 逻辑喂狗

图 3-4 逻辑喂狗框图



芯片上电解复位后，芯片逻辑喂狗状态机开始工作，输出喂狗信号，喂狗周期20ms~100ms，软件接管前默认执行逻辑喂狗，超时未接管停止喂狗。超时时间3s/4s/8s，对应晶振（66.7MHz/50MHz/25MHz）。

若发生非上电复位，在复位撤离时，切换到逻辑喂狗，保证启动时由芯片逻辑喂内部狗或者外部狗。

3.4.2 双 BIOS（网络场景）

双BIOS支持在非掉电情况下，由复位管脚RSTN、软件全局软复位产生的复位对BIOS区域进行切换，即上述复位每复位一次，BIOS区域即从BIOS0—>BIOS1或BIOS1—>BIOS0切换一次。该特性仅在网络场景下有效。

支持芯片内部狗溢出复位通过软件可配置选择，是固定BIOS0启动，或是从BIOS0—>BIOS1或BIOS1—>BIOS0切换一次（默认使能切换）。注：1、复位管脚RSTN、软件全局软复位可通过软件禁止BIOS切换，默认均为使能。

支持双BIOS启动区域指示，通过读sysctrl的寄存器获得该信息。

支持BIOS（各区域）启动次数统计，通过读sysctrl的寄存器获得该信息。

说明

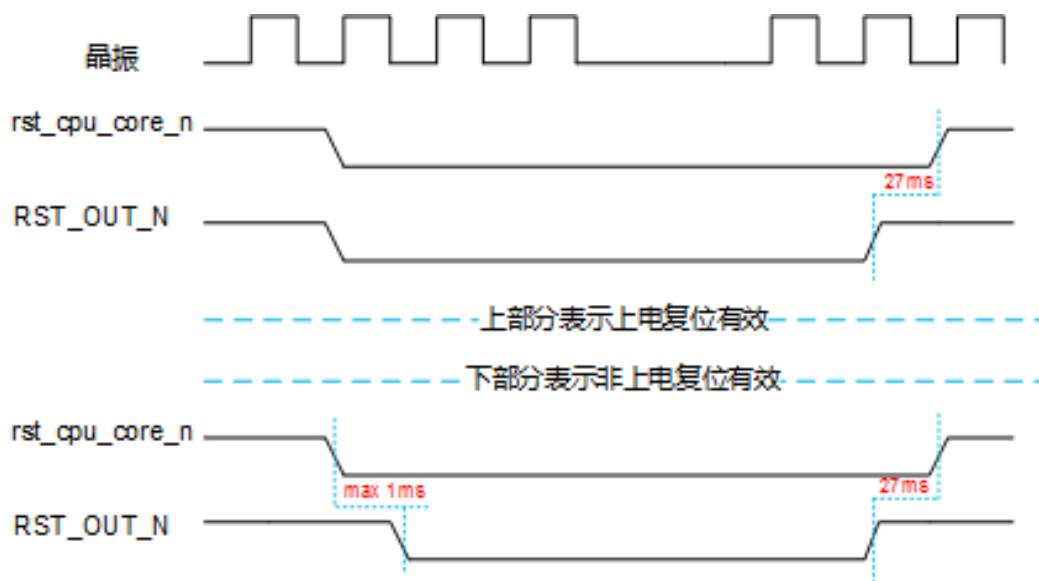
本章节只描述与“时钟复位设计”相关的双BIOS启动内容。

3.4.3 RST_OUT_N（网络场景）

对于Hi309a芯片外围小芯片诸如NOR FLASH等，建议通过使用RST_OUT_N信号来保证CPU同NOR FLASH之间的复位顺序：CPU复位---->NOR FLASH复位----->NOR FLASH解复位----->CPU解复位。

- 上电复位有效时：CPU与NOR FLASH同时进入复位；非上电复位有效时，需要保证CPU先进入复位，然后发出RST_OUT_N，启动NOR FLASH复位。
- 上电复位撤离时或非上电复位撤离时：由设计保证NOR FLASH在芯片管脚RSTN低电平撤销后（约128）*20ns撤离复位；CPU在芯片管脚RSTN低电平撤销后至少27ms撤离复位。

图 3-5 RST_OUT_N 时序





须知

rst_cpu_core_n为芯片内部逻辑产生的信号。

3.5 复位约束

RSTN低电平持续时间要求至少50000个晶振cycle（对应25M晶振时钟，约2ms），因为CRG内部逻辑实现：芯片外围Flash晚于CPU 复位的时间差为50000个CYCLE，因此如果低电平持续宽度不够，会导致CPU复位了，但外围Flash没有复位成功。

CAN_RSTN与BUTTON_RSTN低电平宽度至少要保持在2us以上。



4 电源与功耗

4.1 概述

Hi309a采用0.8V、1.2V、1.8V、3.3V电源满足芯片数字逻辑等各IP电源供电。

4.2 Hi309a 极限电源电压

须知

如表4-1所示，“极限电源电压”是芯片工作电压的破坏限，超过破坏限芯片有永久物理损伤的风险。

表 4-1 Hi309a 极限电源电压参数

符号	描述	最小值	典型值	最大值	单位
DVDD08_AVS	Core 电源	-0.3	+0.8	+1.1	V
DVDD08_FIX	Core电源	-0.3	+0.8	+1.05	V
AVDD12_SERDES_FIX	Hilink电源	-0.3	+1.2	+1.32	V
AVDD18_PLL_GASP_TS_FI X	PLL, GASP, Tsensor电源	-0.3	+1.8	+1.98	V
DVDD12_DDRIO_FIX	DDRIO电源	-0.3	DDR4为1.2V DDR5为1.1V	+1.32	V
AVDD18_PLL_DDR_DPPE_ FIX	DDR的PLL电 源	-0.3	+1.8	+1.98	V
DVDD18_EFUSE_FIX	Efuse电源	-0.3	+1.8	+1.98	V



符号	描述	最小值	典型值	最大值	单位
AVDD33_USB_FIX	USB电源	-0.6	+3.3	+3.6	V
AVDD18_USB_FIX	USB电源	-0.3	+1.8	+1.98	V

4.3 Hi309a 推荐电源电压

表 4-2 Hi309a 推荐电源电压参数

符号	描述	供电电压(V)	电压范围	供电电流(A)
DVDD08_AVS	Core 电源	使用AVS 以0.8V上电 (0.8V 1.6GHz) (1V 2.0GHz) (1V 2.2GHz)	DC(反馈点+3%, -2%) AC(±3%) 1K-10M<20mΩ	5A@1 .6GHz 7A@2 .2GHz
DVDD08_FIX	Core 电源	0.8	DC(反馈点+3%, -2%) AC(±3%) 1K-10M<15mΩ	10A
AVDD12_SERDE S_FIX	Hilink电源	1.2	DC(+/-3%) AC: 500K-1M是 0.75%Vpp 1M-10M是 0.5%Vpp, 10M以上是 2%Vpp 1K-10M<20mΩ	3A
AVDD08_SERDE S_FIX	Hilink电源	0.8	DC(+/-3%), AC+/-1% 1K-10M<50mΩ	300m A
AVDD18_PLL_G ASP_TS_FIX	PLL/GASP/ tsensor高压	1.8	DC(+/-3%), AC +/-1.5% 1K-10M<150mΩ	30mA
DVDD12_DDRIO _FIX	DDR IO电 源	DDR4为 1.2V, DDR5 为1.1V	DC(+4%/-2%) AC(±3%) 1K-10M<20m	3A



符号	描述	供电电压(V)	电压范围	供电电流(A)
AVDD18_PLL_D DR_DPPE_FIX	DDR的PLL 高压电源	1.8	DC(+/-3%), AC +/-1.5% 1K-10M<150mΩ	3.6m A
AVDD08_PLL_D DR_DPPE_FIX	DDR的PLL 低压电源	0.8	DC(+/-3%), AC +/-2.5% 1K-10M<150mΩ	10mA
AVDD08_PLL_FI X	PLL的低压 电源	0.8	DC(+/-3%), AC +/-2.5% 1K-10M<150mΩ	28.8 mA
DVDD18_FIX	PLL GPIO电 源	1.8	DC(±3%)AC(±2%)或AC +DC<±5% 1K-10M<150mΩ	470m A
AVDD33_USB_FI X	USB电源	3.3	DC(±3%)AC(±2%)或AC +DC<±5% 1K-10M<300mΩ	8mA
AVDD18_USB_FI X	USB电源	1.8	DC(±3%)AC(±2%) 1K-10M<300mΩ	20mA
DVDD18_EFUSE _FIX	PLL HV电源	1.8	DC(±3%)AC(±2%)或AC +DC<±5% 1K-10M<300mΩ	150m A

表4-2中的供电电流为最大电流。

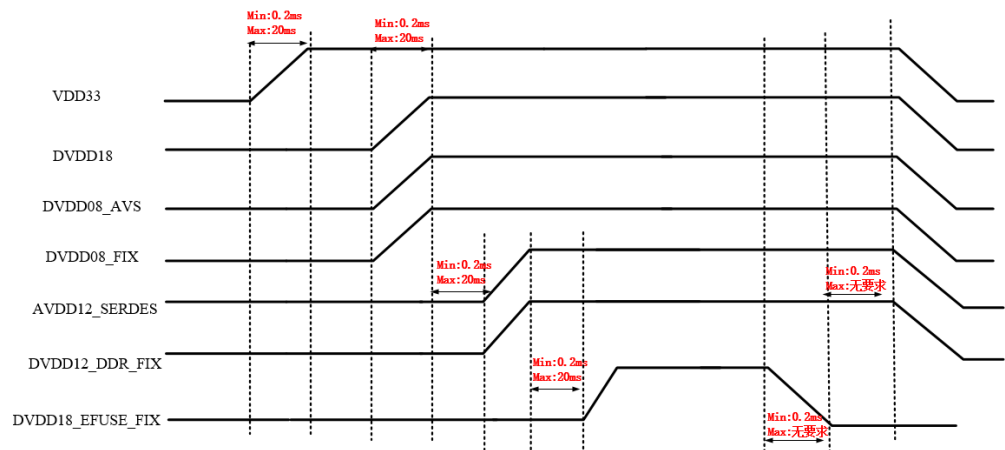
4.4 上下电时序

4.4.1 Hi309a 上电时序

EFUSE1.8V电源最后上电，最先下电。



图 4-1 Hi309a 上电顺序图



4.4.2 理论功耗

表 4-3 典型业务场景功耗 2（网络自然散热场景）

参数 (VDDAVS 0.8V, VDD 0.8V TT 105C 1.6GHz)	功耗(W)	相关电源域电压 (V)	相关电源域电压 (V)	功耗占比
VDDAVS 动态功耗	0.79	0.8	0.8	-
VDDAVS 静态功耗	1.02	0.8	0.8	-
VDD动态功耗	1.35	0.8	0.8	-
VDD静态功耗	0.67	0.8	0.8	-
DDR PHY功耗	2.36	1.2/0.8	1.2/0.8	-
HILINK功耗	1.86	1.2/0.8	1.2/0.8	-
总功耗	8.05	-	-	-

表 4-4 典型业务场景功耗 3（网络 2.0G 全规格）

参数 (VDDAVS 0.9V, VDD 0.8V FFGNP 105C 2.0GHz)	功耗(W)	相关电源域电压 (V)	功耗占比
VDDAVS 动态功耗	2.43	1.0	-
VDDAVS 静态功耗	3.33	1.0	-
VDD动态功耗	2.29	0.8	-
VDD静态功耗	1.54	0.8	-
DDR PHY功耗	3.55	1.2/0.8	-



参数 (VDDAVS 0.9V, VDD 0.8V FFGNP 105C 2.0GHz)	功耗(W)	相关电源域 电压 (V)	功耗占比
HILINK功耗	1.86	1.2/0.8	-
总功耗	15	-	-

上述功耗是理论估算结果，仅供参考。

4.4.3 实测功耗

NA

4.5 应用约束

无



5 接口描述

5.1 DDR 接口

5.1.1 概述

协议/器件规格

- 支持DDR4，DDR5协议。
- DDR4支持接口数据速率为：1600/1866/2133/2400/2666/2933Mbps；DDR5支持接口数据速率为：2100/3200Mbps。
- DDR4支持2Gb、4Gb、8Gb、16Gb DRAM颗粒；DDR5支持8Gb、16Gb、32Gb和64Gb DRAM颗粒；DDR4和DDR5均不支持DIMM。
- 支持X4，X8，X16器件颗粒类型，不支持颗粒混用。
- DDR4 DRAM支持频率：
 - 1RANK：2933Mbps（芯片支持最高频点，2rank支持频点是否降档根据SI走线评估结果）。
- DDR5 DRAM支持频率：
 - 1RANK：3200Mbps（芯片支持最高频点，2rank支持频点是否降档根据SI走线评估结果）。
- 对于DDR4，支持DDR Burst8和Burst Chop 4（仅写操作）；对于DDR5，支持DDR Chop8（仅写操作），DDR Burst16，DDR Burst32。
- 支持on-the-fly 传输，对于DDR4支持BC4 OTF，对于DDR5，支持BC8 OTF和BL32 OTF。
- 对于DDR4，X4器件不支持DBI；X8和X16器件，支持读/写DBI，但写DBI和Data mask不能同时使用；对于DDR5不支持DBI功能。
- 对于DDR4，支持1T/2T读/写前导，对于DDR5支持1T/2T/3T/4T读前导，DDR5支持2T/3T/4T写前导。对于DDR5支持0.5T/1.5T读写后导。
- 对于DDR5，相同rank支持interamble传输，包含写interamble和读interamble，支持0T/1T/2T/3T/4T/5T gap模式。
- 支持DDR自动刷新，刷新周期可配置，对于DDR5支持normal和FGR两种模式。



- 对于DDR5支持same bank refresh和same bank precharge功能。
- 自动刷新支持Postponed模式，可推迟刷新下发，等待空闲时连续发送。
- 支持DDR器件自刷新功能。
- 支持空闲状态下，自动进入PD低功耗模式。
- 支持DDR器件的ZQ自校准。
- 解决DDR4器件的Row hammer问题。对于DDR5，通过Refresh Management解决Row hammer问题。
- 支持ODT功能，DDR4支持DQ ODT，DDR5支持DQ ODT和CA ODT和No-Target ODT功能。
- 对于DDR5，支持interval oscillator功能，软件能周期性启动，读取校准值。
- DDR5支持write pattern功能，但仅支持BPG配置下发。
- 支持PDA功能。
- 支持DDR4的各种training模式，包含Write Leveling，Vref Training和Read Preamble Training。
- 支持DDR5的各种training模式，包含CA Training，CS Training，Write Leveling，Vref Training，Read Training 和Read Preamble Training。
- 支持Write data eye/read data eye training。
- DDR5支持retraining功能，防止tDQS2DQ会随VT变化而影响margin。
- 支持DDR5从器件周期性读取刷新率信息，用于调节刷新率。
- 支持DDR4命令线1T/2T时序，可优化命令传输时序，同时支持DDR5的1N/2N 命令线模式。
- 支持DDR4/DDR5 sPPR/hPPR功能。
- DDR5支持ECS（ECC Error Check and Scrub）功能，能够周期性的对DDR5颗粒进行巡检并纠正单bit错误，防止错误累积。
- DDR5支持DCA（Duty Cycle Adjuster）功能，支持Single/two-phase/4-phase三种调节方式。

系统规格

- 提供APB3.0总线接口，进行寄存器管理。其中APB支持总线异步模式。
- 支持JTAG访问寄存器接口，可不通过APB总线访问寄存器。
- 支持DMC私有总线协议，兼容DFI 4.0协议，不支持DFI LP功能。对于DFI接口还需要支持读数据优化方式以优化时序。
- 支持DMC与DRAM频率比为1:2。
- DMC处理数据位宽支持256bit模式。DRAM数据位宽支持64bit/32bit/16bit位宽等模式。具体DMC数据位宽比DRAM数据位宽支持256bit:64bit、256bit:32bit、256bit:16bit。
- 支持独立双通道控制器架构用于支持双通道DDR5贴片场景。
- 支持单Rank场景下的mirror功能。
- 保证非掉电复位的状态下，DRAM内的数据不丢失。即DDR器件在DDRC复位前进入自刷新状态，在DDRC复位后仍旧保证器件处在自刷新状态，DDR器件不会被复位。
- 支持安全访问，包含寄存器的安全访问及调试接口的安全方案。包含MCU的访问。



- 支持DMC带宽利用率统计功能，反馈HHA DMC带宽使用情况进行开环流控，提供四档（可配置率用例）。

性能规格

- 在12nm工艺的默认工作电压ssgnp0.72V（-40，+125）下，DMC控制器频率可达到0.9GHz。
- 支持最多64个DMC命令调度队列，可代码配置。
- 支持RRBC，RRCBC，RRRCBC地址映射方式，可根据不同的应用场景进行选择，通过RANK交织，BANK交织等方式提高访问效率。
- 支持BANKGROUP交织访问，对于读操作支持两BG交织访问，对于写操作支持无限BG交织方式。
- 支持Bank异或功能，增加Bank轮转的概率。
- 支持匹配项目组的QOS策略，保证高优先级的命令优先发送，低优先级的命令不能饿死；对于低优先级命令，支持Timeout和优先级自适应等方式，防止访问饿死。
- 支持wr/rd>active>precharge的调度策略。
- 支持命令的读写分组功能，减小切换开销。
- 支持Active/RW命令的bypass功能，以减小latency。
- 支持Mid 优先级push功能，以响应系统优先级的提升。
- 支持Close Page、Time-limited Open Page、Self-adapt Close Page策略。
- 不支持WRAP读数据调序功能，直接按照DDR返回数据顺序。
- DDR子系统在异步模式下，DDR4接口速率为2666时，读操作的Read Latency（从HA接口发出读命令开始（包含命令的异步桥），到DDRC接口返回第一个读数据的延迟），在page hit情况下不大于46.875ns，page miss 情况下（非bank冲突）为60.375ns。
- DDR4 Lmbench访问效率，在满压力下、2Rank、2666Mbps配置下，FRD子项效率不低于86%，RDWR子项效率不低于82%。在32core、1Rank、2933Mbps、X16、2倍刷新率配置下，FRD子项效率不低于70%。DDR5 访问效率不低于DDR4。
- 2Rank，x8器件3200Mbps频点下，在读写比率2.6:1，其中读访问都是64Byte和128Byte粒度（64Byte访问比128Byte访问比例为2:1）访问；写访问中8Byte访问和16Byte访问各5%的场景下，128Byte访问60%，64Byte访问30%，混合访问效率为75%。

RAS 规格

- 支持DDR4/DDR5的写CRC功能，可对写数据线进行CRC保护。
- 支持DDR5的读CRC功能，可对读数据线进行CRC保护。
- 支持DDR4颗粒的CA Parity功能，对命令/地址线进行奇偶校验保护。
- 支持Data Scrambling，对写入DRAM的数据进行加扰，读出数据时解扰还原数据。
- 支持SEC/DED ECC校验，能实现1bit纠错，2bit检错功能。如果使能ECC，如外接64bits DDR每个DDR接口需要扩展8 bits ECC数据Memory；如外接32bits DDR但仍需要保证单沿1bit就错误能力，DDR接口需要7bits ECC数据Memory。



- 支持 ECC Write back机制，当读数据出现可纠正错误（ECC算法的单bit错误，SDDC算法的单颗粒错误）时，会重读一次，如果可纠正，则会将纠正的数据再写入DDR，防止错误累积，重读后数据如果不可纠正则上报中断。
- 对于DDR4的TDM架构，不支持RAS008-RAS013规格，只支持1bit纠错，2bit检错功能。
- 支持Patrol Scrubbing，在可配置的时间间隔内，对DRAM进行读操作。
- 扫描，利用Write back机制，防止错误累积。

测试/调试/DFX

- 支持BPG功能。软件可通过配置相关寄存器对DDR器件下发MRS、PREA、ACT、AREF、SRE/SRX、ZQCL/ZQCS、WRITE/READ、PDA、WRITE PATTERN、PDE/PDX、MPC、VREFCS、VREFCA、NOP以及DDRPHY的DFIUPD等DDR4/DDR5协议要求的命令。
- BPG增加多种测试和调试手段，主要包含：
 - 发送write leveling strobe。
 - 自动产生写读循环命令，支持随机pattern，支持数据自动比对，可以通过BPG满压力测试。
 - 基于bit、nibble、Byte、DQS上下沿、rank级别的错误检测，一旦发生错误，错误状态保持。
 - rank切换测试。
 - 发送序列需要增加loop次数可控。loop完毕的错误状态需要累积（按per-bit粒度）。
 - 支持对同一段地址单写多读。
- BPG支持多种SI测试手段，包含：
 - 支持只读、只写和读写混合3种测试模式。支持Burst读写交替测试，读/写操作长度可控，读写间隔可控。
 - 支持控制每个DX IO的数据可Bypass。
 - 支持硬件可编程的数据序列产生模块（WDB），可生成PRBS-7/PRBS-15/PRBS-31/Resonance/Clock/SSN-Even/SSN-Odd序列，用于波形测试和数据margin测试。
 - 支持数据序列产生模块（Command Address Data Buffer，CADB），生成预存储的恶化地址信号ISI效应序列，用于地址margin测试。
 - 支持误码率的统计。
 - BPG支持除命令列表外除了带读写数据外的其他任何命令下发。
 - 支持ECC接口旁路模式。此模式下写操作和读操作可不经ECC处理。ECC旁路模式下可通过BPG功能直接访问ECC颗粒。
 - 支持DDR EXMBIST（1620版本）测试，可自动完成DDR颗粒遍历测试。支持多种测试算法（March C-、Checkerboard等）以及用户自设定测试算法。
 - 支持基于1个22bits ID（可使用ID Mask映射任意几位ID）进行读写命令流量的统计。
 - 支持基于1个22bits ID（可使用ID Mask映射任意几位ID）进行读写命令latency统计，包含最大latency和最小latency和平均latency。
 - 支持基于1个22bits ID（可使用ID Mask映射任意几位ID）进行DMC缓存的命令/数据个数统计。

- 支持对DRAM读/写命令个数、active/precharge命令个数以及bank/rank读写切换次数进行统计。
- DDRC能够检测到PHY接口异常，并上报错误状态。
- 支持DDR4的CA parity错误注入，用于测试CA parity功能。
- 支持对DDR4/DDR5的读写数据CRC错误注入，用于测试写CRC功能。
- 支持对所有颗粒的任意位进行注错，用于测试RAS及ECC相关纠错功能。
- 支持对内部所有的SRAM进行1bit或2bit错误注入，用于测试内部所有SRAM的ECC校验功能。
- DDRC内部的所有SRAM都支持ECC校验，并支持记录SRAM ECC错误的地址。
- DRAM ECC错误支持记录第一次和最后一次的出错信息（错误地址，错误数据和期望数据）。
- 支持出错命令序列的存储和重现。但对于触发了虚拟lockstep或者使能poison时，不能支持。
- 没有独立ecc颗粒的架构下，要支持控制器读取颗粒on die ecc的出错次数信息。

5.1.2 接口信号描述

具体请参见“[DDR接口管脚列表](#)”。

5.1.3 接口时序

DDR接口时序较为复杂，此处不赘述DDR接口时序，详细信息参见DDR相关协议。

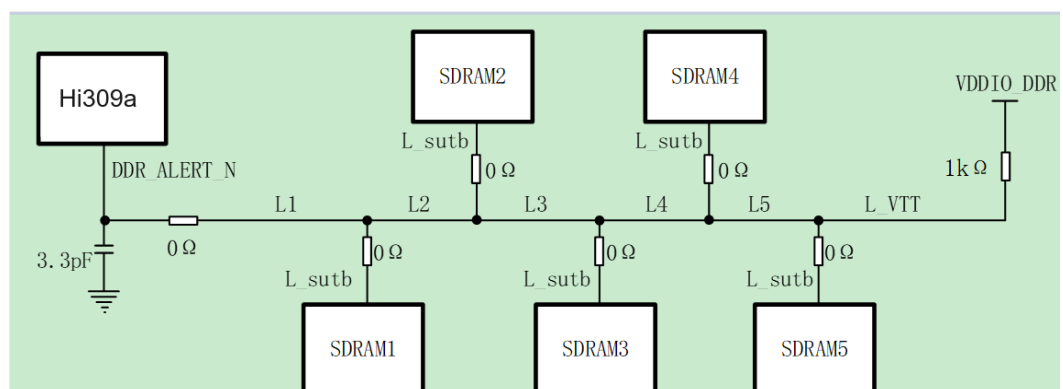
5.1.4 电路设计建议

在所有应用中DDR4地址总线A、BA、BG、ACT_N、RESET_N信号线及DDR5的CA、RESET_N对于各种连接来说都是公用的。

同时DDRC会送出四对一样的CK/CK_N信号。可以减少单个CK连接多个器件时的负载。

DDR_ALERT_N管脚内部ODT上拉匹配电阻为60Ω。电路设计建议加1kΩ电阻上拉到VDDQ，并且串0Ω电阻（过冲的时候可以换成其他的阻值抑制过冲，这个阻值可以视仿真过冲大小而定），如图5-1所示。

图 5-1 DDR_ALERT_N 管脚应用示意图





5.1.5 不使用管脚处理方式

DDR5贴片双通道解决方案中，A13位不使用，需要在硬件上置1（即硬件做上拉），保证自刷新正常退出。

5.1.6 应用约束

- 不要交换地址线，会严重影响软件兼容性。当前支持Mirror规格。
- 不要随便交换DQ，会影响软件兼容性。如果必须交换，需要遵循如下原则：
 - BYTE之间可以交换，除了ECC BYTE不能交换。
 - X4应用BYTE内只能0-3bit内部和4-7内部交换，不能跨NIBBLE；X8应用BYTE内0-7可以交换；X16应用BYTE内0-7和8-15可以交换，不能跨BYTE LANE交换。
 - BYTE内不能交换DQS和DM。
- DDR使用场景如表5-1所示。

表 5-1 DDR 使用场景

num	领域	场景	rank	最大容量	通道	DMC位宽	DDR+ECC位宽	mirror	贴片/DIMM	DFI_MUX MODE
1	无线	DDR4	1rank	1GB	单	DMC1(256 bit)	32 (无ECC)	不支持	贴片	0xA
2	无线	DDR4	1rank	0.5 GB	单	DMC1(128 bit)	16 (无ECC)	不支持	贴片	0xA
3	无线	DDR5	1rank	-	单	DMC1(256 bit)	32+8	不支持	贴片	0xA
4	无线	DDR5	1rank	-	单	DMC1(128 bit)	16+4	不支持	贴片	0xA
5	网络	DDR4	1/2rank	2GB	单	DMC0(256 bit)	64+8	支持	贴片	0x8
6	网络	DDR4	1/2rank	1GB	单	DMC0(256 bit)	32+8	支持	贴片	0x8
7	网络	DDR5	1/2rank	-	双	DMC0(256 bit) DMC1(128 bit)	2*(32+8)	支持	贴片	0x9
8	网络	DDR5	1/2rank	-	单	DMC0(256 bit)	32+8	支持	贴片	0x9



5.2 SerDes 接口

5.2.1 概述

无

5.2.2 接口信号描述

提供了灵活的片上高速SerDes组网模块，可以根据不同产品的应用场景，实现GE，XGE， QSGMII、PCIe和SATA的灵活组网。

SerDes支持的主要特性如下： Hi309a提供10个SerDes Lane，分布在3个Macro中。

支持如下的标准：

- GE-1000BASE-R (1.25Gbps)， SGMII (1.25Gbps) ， 可向上兼容到2.5GE。
- QSGMII (5Gbps)。
- 10GBase-KR/Base-R(10.3125Gbps)。
- SATA 3.0， 向下兼容SATA 2.0和SATA 1.0。
- PCIe Gen3， 向下兼容PCIe Gen2和PCIe Gen1。

5.2.3 复用关系

表 5-2 SerDes 复用关系表

Macro name	Lane #	Macro Type	GE	2.5GE	10GE	QSGMII	PCI e3.0	PCI e3.0	PCI e3.0	SAT A
			1.25 G	3.125 G	10.31 25G	5G	2.5 /5/ 8G	2.5 /5/ 8G	2.5 /5/ 8G	1.5G /3G/ 6G
频点	单位：GHz	-	12.5/ 15	12.5	15.46 875	15/15	15/ 16	15/ 16	15/ 16	12
使用时钟 rfclk	单位：MHz	-	156. 25/1 00	156.2 5	156.2 5	156.25/10 0	10 0	10 0	10 0	100
Macro0 2个 PLL 4lane	lane 0	OSS +1 CS +4 DS	GE4	2.5GE 4	-	QSGMII2	PCI E6_ X1	-	-	-
	lane 1		GE5	2.5GE 5	-	QSGMII3	PCI E7_ X1	-	-	-



Macro name	Lane #	Macro Type	GE	2.5GE	10GE	QSGMII	PCI e3.0	PCI e3.0	PCI e3.0	SATA
			1.25G	3.125G	10.3125G	5G	2.5/5/8G	2.5/5/8G	2.5/5/8G	1.5G/3G/6G
	lane 2		GE10	2.5GE10	10GE0/复用10GE2	-	-	-	-	-
	lane 3		GE11	2.5GE11	10GE1/复用10GE3	-	-	-	-	-
Macro1 2个PLL 2lane	lane 4	OSS+1 CS+2 DS	GE0/复用GE10	2.5GE0/复用2.5GE10	10GE2	QSGMII0	PCI E4_X1	PCI E4_X2	PCI E4_X2	SATA0
	lane 5		GE3/复用GE11	2.5GE3/复用2.5GE11	10GE3	QSGMII1	PCI E0_X1	PCI E4_X2	PCI E4_X2	SATA1
Macro2 2个PLL 4lane	lane 6	OSS+1 CS+4 DS	GE1/GE8	2.5GE1/2.5GE8	复用10GE2	复用QSGMII0	PCI E5_X1	PCI E5_X4	PCI E5_X2	复用SATA1
	lane 7		GE2/GE9	2.5GE2/2.5GE9	复用10GE3	复用QSGMII1	PCI E1_X1	PCI E5_X4	PCI E5_X2	-
	lane 8		GE6	2.5GE6	复用10GE0	QSGMII4	PCI E2_X1	PCI E5_X4	PCI E2_X1	-
	lane 9		GE7	2.5GE7	复用10GE1	QSGMII5	PCI E3_X1	PCI E5_X4	PCI E3_X1	-

SerDes使用限制：

- 同一行只能工作在其中一种协议。
- 同一个MACRO两个PLL同时只支持两种频点共存。
- 若LANE6复用10GE2/QSGMII0时，LANE4不能使用GE0/2.5GE0/10GE2/QSGMII0。



- 若LANE7复用10GE3/QSGMII1时，LANE5不能使用GE3/2.5GE3/10GE3/QSGMII1。
- 若LANE4使用10GE2/QSGMII0时，GE1/GE2不可用。
- 若LANE9使用QSGMII5时，GE8/GE9不可用。
- 部署接口总带宽超过44Gbps后，会导致不区分优先级丢包。
- 芯片存在部分macro或者部分lane在上电时不使用，但若若干年后会使用的情况，故即使是不使用的macro和lane，也要在芯片上电后进行校准，然后再做macro或者lane的power down。

MAC使用限制：

- 使用USXGMII /10G速率模式时，一条SerDes Lane会使用1个PPE Port。
- 5G速率模式时，一条SerDes Lane会使用1个PPE Port。
- 使用QSGMII速率模式时，一条SerDes lane会使用4个PPE Port。
- 最多支持4个AN_TRANING对应4个XGE；其他口不支持。
- 单个ppe port只能适配一种MAC速率。
- 支持RGMII/MII调试网口，固定使用PORT3。

PCIE/SATA/XFI HILINK的限制：

- PCIE Gen3和XFI/SATA共存，先做GEN3初始化和建链，然后做 XFI/SATA建链，该共存使用有限制，不支持PCIE降速。
- PCIE Gen1/2和XFI/SATA共存，需要 SATA使用PLL0，PCIE使用PLL1，先做PCIE初始化和建链，然后做 XFI/SATA初始化和建链。
- 如果PCIE Gen3 和QSGMII/GE共存，都使用100M参考时钟，不使用SSC，可以支持。
- PCIE0~PCIE3仅支持x1模式；PCIE4支持x1、x2模式；PCIE5支持x1、x2、x4模式；PCIE6~PCIE7仅支持x1模式。

说明

- XFI速率：10.3125G，3.125G其中之一，QSGMII 5Gbps。
- sata建议优选sata0，如果不用sata0使用sata1，sata0也要先初始化。
- Hi309a的SATA控制器的工作模式是一个HBA下面两个PORT的模式，需要两个PORT都存在链路的Tx clk才能完成HBA复位流程。

5.2.4 电路设计建议

单板硬件设计注意点：

- SerDes输入参考时钟电路设计注意点：
 - SerDes输入参考时钟为CML电平差分时钟，内置AC耦合。当单板输入电平同为CML时，也可以使用DC耦合方式，建议使用外部AC耦合方式，可以支持包括CML、LVPECL、LVDS在内的差分输入电平标准。
 - GE/XGE/ QSGMII使用频率为156.25MHz的SerDes参考时钟0（GE/QSGMII也可以使用频率为100MHz的SerDes参考时钟1），PCIE/SATA使用频率为100MHz的SerDes参考时钟1。
- SerDes发送接收电路设计注意点：
 - PCIe的耦合电容要放在发送侧。



- 以太网应用需要在接收侧放置耦合电容，容值参考协议要求，不支持SerDes寄存器配置。
- H32与H32对接时，不用外接耦合电容。
- 所有的lane都支持极性反转。
- 网口和SATA不支持展频。
- 参考时钟选择如表5-3所示。

表 5-3 SerDes 参考时钟描述

参考时钟信号	频率(MHz)	描述	适用模式
QL_REFCLK_INP0 QL_REFCLK_INM0	156.25/ 100	参考时钟0	156.25MHz差分时钟输入，典型为Ethernet网口提供时钟；100M差分时钟输入，典型为PCIe、SATA口提供时钟。
QL_REFCLK_INP1 QL_REFCLK_INM1	156.25/ 100	参考时钟1	

须知

初始化SerDes之前，必须保证使用的参考时钟已保持稳定。如果SerDes时钟进行了重新锁定或者校准，对应的SerDes lane（cs+ds）已需要重新进行初始化。

5.2.5 不使用管脚处理方式

对于不使用的lane，输出可以悬空；输入可以做个下拉，建议K欧下拉，或者软件上做power down处理。

Refclk不使用时，对应的差分时钟管脚都悬空；

在HiLink初始化的时候，不使用的lane可以不上电。

不使用，指的是产品生命周期内不使用。

针对产品当前不使用但以后会使用的Macro或者lane，要求在上电时均执行标准操作或者初始化，然后再做Macro或者lane的power down，避免老化风险。

5.2.6 眼图要求

5.2.6.1 QSGMII 的眼图示意图

图 5-2 QSGMII 的眼图示意图

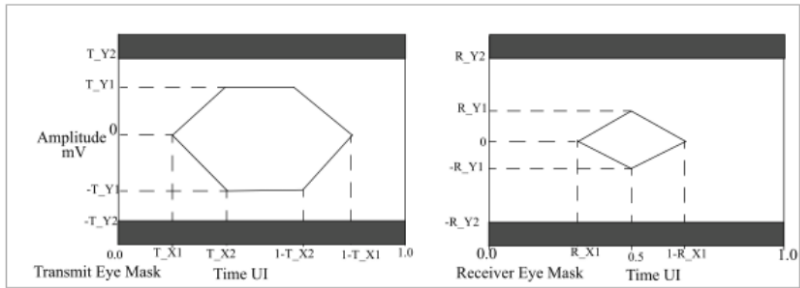


图 5-3 QSGMII 的眼图示意图

Parameter	Symbol	Min	Typ	Max	Units	Notes
Sinusoidal Jitter, High Frequency	R_SJ-hf			0.05	UIpp	
Total Jitter(Does not include Sinusoidal Jitter)	R_TJ			0.60	UIpp	b
Eye Mask	R_X1			0.30	UI	c
Eye Mask	R_Y1			50	mV	d
Eye Mask	R_Y2			450	mV	e

5.2.6.2 SGMII 和 SGMII2.5G 示意图

图 5-4 SGMII 和 SGMII2.5G 的眼图示意图

Parameter	Symbol	Min	Typ	Max	Unit	Notes
Deterministic jitter	JD	-	-	0.17	UI p-p	-
Total jitter	JT	-	-	0.35	UI p-p	2
Unit Interval: 1.25 GBaud (SGMII)	UI	800 - 100 ppm	800	800 + 100 ppm	ps	1

Parameter	Symbol	Min	Typ	Max	Unit	Notes
Unit Interval: 3.125 GBaud (2.5G SGMII)	UI	320 - 100 ppm	320	320 + 100 ppm	ps	1
AC coupling capacitor	C _{TX}	10	-	200	nF	3

Notes:

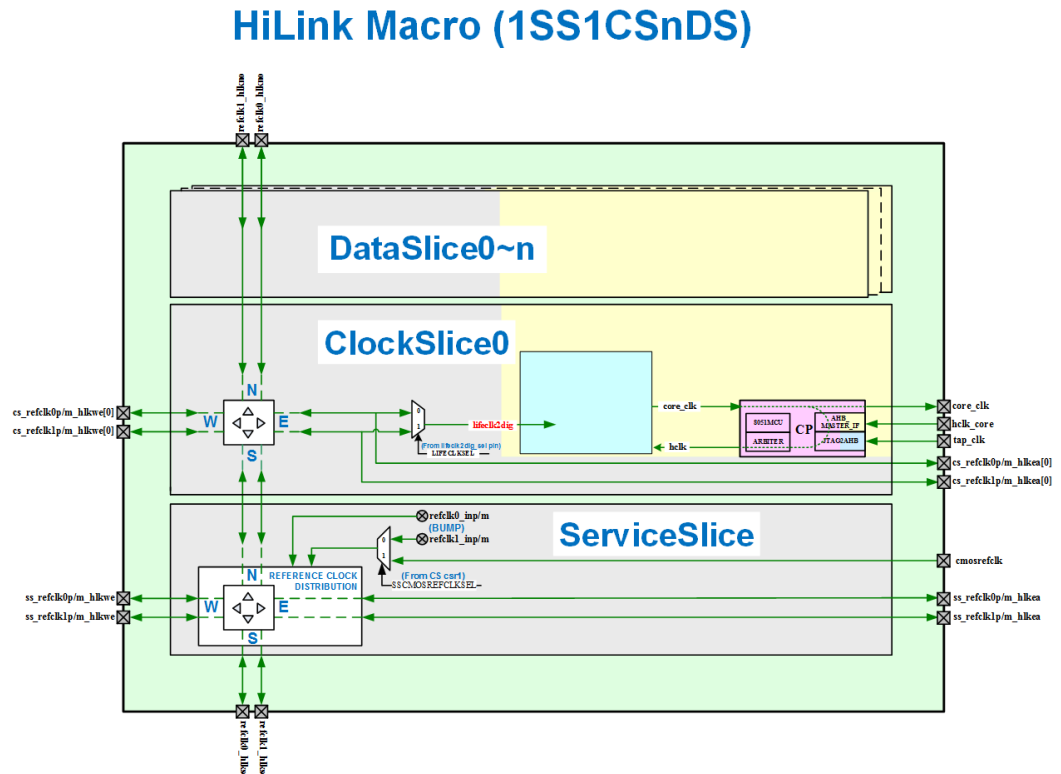
- Each UI is 800 ps ± 100 ppm or 320 ps ± 100 ppm.
- See [SGMII and SGMII 2.5G receiver AC timing Specification](#) for single frequency sinusoidal jitter measurements.
- The external AC coupling capacitor is required. It is recommended that it be placed near the device transmitter output.
- For recommended operating conditions, see [Recommended operating conditions](#).

5.2.7 HiLink 参考时钟

HiLink参考时钟通路如图5-5所示，在进行mbist、loopback等需要用到功能时钟的仿真时，时钟从不同的端口进入hilink的时候需要配置不同的ss_refclk0_x2*和cs_refclk*_dirsel*，来选通不同的通路，保证hilink的内部时钟能正常工作。其中lifclk2dig是送这个clockslice数字部分的时钟，在用到功能时钟的仿真时一定要首先保

证这个时钟有信号才能使CS和CP模块正常工作。core_clk是CP模块中mbist和memory使用的时钟，做mbist仿真的时候要先观察这个时钟是否正常。

图 5-5 Hilink Macro



总共有n, e, w, s四个方向需要配置，00表示从中心点到该方向的通路关闭，01表示通路从该方向外面到中心点，10表示通路从中心点到该方向外面，11表示从refclk*_inp/m到该方向外面。

例如如果hilink的参考时钟是从refclk*_inp/m输入的，这个时候配置了ss_refclk0_x2s为11则在S端就会有时钟过来，一般这种情况把4个方向都配成11这样4个方向就都有时钟了。

假设时钟不是从refclk*_inp/m输入的，而是从其他方向过来的，比如从S过来的，此时将ss_refclk0_x2s配置为10，将ss_refclk0_x2n配置为01，时钟就可以从S到N了。

5.2.8 应用约束

通过光模块对接SD5875（H30），反复拔插光纤测试，本端ALOS报不准。原因为：光模块上电后的杂散信号导致本端ALOS的误报。

5.3 RGMII/MII/RMII 接口



5.3.1 概述

MII/RGMII (Media Independent Interface) (介质无关接口) 控制器, 该接口用于 1000Mbps/100Mbps/10Mbps 的以太网 MAC 层和 PHY 层之间的以太网数据传输。Hi309a 提供 1 个 MII/RGMII 接口, 用于调试网口。

5.3.2 接口信号描述

表 5-4 MII 接口信号描述

管脚	内部信号名称	方向	模式	描述
MII_TXCLK	MII_TXCLK	I/O	MII	接口发送时钟。25MHz/125MHz。该时钟RVMII模式下是输出, MII模式下是输入。
			RGMII	接口发送时钟。RGMII 1000Mbps 模式下是输出, 频率为125M。RGMII 1000Mbps模式下时钟双沿采样。
MII_TXD_{0~3}	MII_TXD_{0~3}	O	MII	接口发送数据。
			RGMII	接口发送数据。RGMII 1000Mbps模式下时钟双沿采样。
MII_TXEN	MII_TXEN	O	MII	接口发送数据使能。
			RGMII	接口发送数据使能。RGMII 1000Mbps模式下时钟双沿采样。
MII_TXER	MII_TXER	O	MII	接口发送错误指示。
			RGMII	接口发送错误指示。RGMII 1000Mbps模式下时钟双沿采样。
MII_RXCLK	MII_RXCLK	I	MII	接口接收时钟。25MHz。该时钟RVMII模式下是输出, MII模式下是输入。
			RGMII	接口接收时钟。RGMII 1000Mbps 模式下是输入, 频率为125M。RGMII 1000Mbps模式下时钟双沿采样。
MII_RXD_{0~3}	MII_RXD_{0~3}	I	MII	接口接收数据。
			RGMII	接口接收数据。RGMII 1000Mbps模式下时钟双沿采样。
MII_RXDV	MII_RXDV	I	MII	接口接收数据有效。
			RGMII	接口接收数据有效。RGMII 1000Mbps模式下时钟双沿采样。
MII_RXER	MII_RXER	I	MII	接口接收错误指示。



管脚	内部信号名称	方向	模式	描述
			RGMI I	接口接收错误指示。RGMII 1000Mbps模式下时钟双沿采样。

表 5-5 RMII 接口信号描述

管脚	方向	描述
RMII_TXD0	O	接口发送数据
RMII_TXD1	O	接口发送数据
RMII_RXD0	I	接口接收数据
RMII_RXD1	I	接口接收数据
RMII_TXEN	O	接口发送使能，高电平有效
RMII_CRSDV	I	载波监听状态及接收数据有效指示。作为CRS时，高电平表征线路忙；作为DV时，高电平表征RXD有效
RMII_REFCLK	Bi	参考时钟信号，50MHz，支持外部提供时钟或者芯片内部提供，可配置为输入或者输出

5.3.3 接口时序

图 5-6 MII 发送时序图

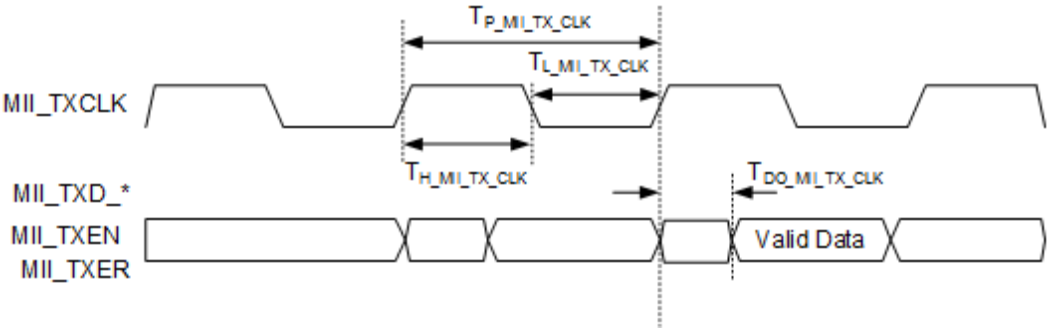




表 5-6 MII 发送时序参数表

符号	参数	最小值	典型值	最大值	单位
$T_{DO_MII_TX_CLK}$	MII输出延时	1.5	-	7	ns
$T_{H_MII_TX_CLK}$	TX_CLK高电平	16	-	24	ns
$T_{L_MII_TX_CLK}$	TX_CLK低电平	16	-	24	ns
$T_{P_MII_TX_CLK}$	TX_CLK时钟周期	-	40	-	ns

图 5-7 MII 接收时序图

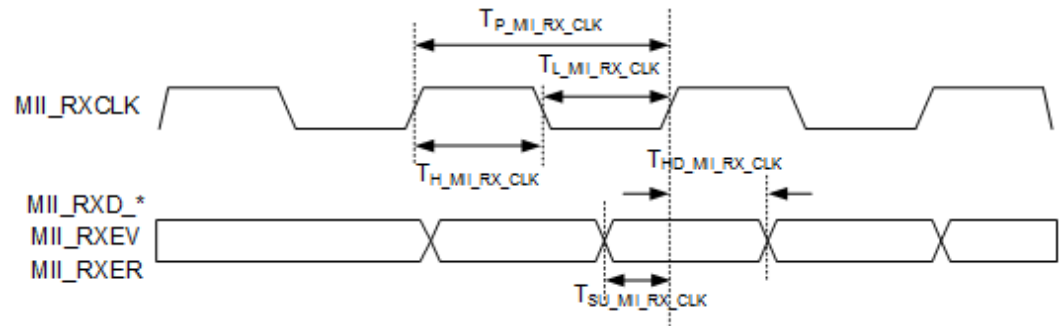


表 5-7 MII 接收时序参数表

符号	参数	最小值	典型值	最大值	单位
$T_{SU_MII_RX_CLK}$	MII信号建立时间	1	-	-	ns
$T_{HD_MII_RX_CLK}$	MII信号保持时间	3	-	-	ns
$T_{H_MII_RX_CLK}$	RX_CLK高电平	16	-	24	ns
$T_{L_MII_RX_CLK}$	RX_CLK低电平	16	-	24	ns
$T_{P_MII_RX_CLK}$	RX_CLK时钟周期	-	40	-	ns

图 5-8 RGMII 发送时序图

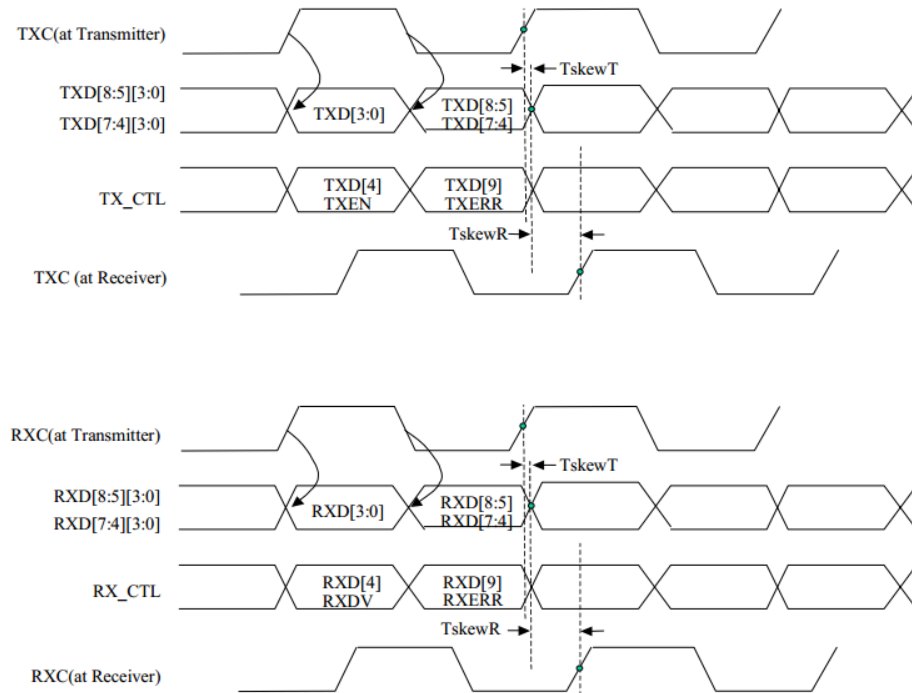


图 5-9 RGMII 接收时序图

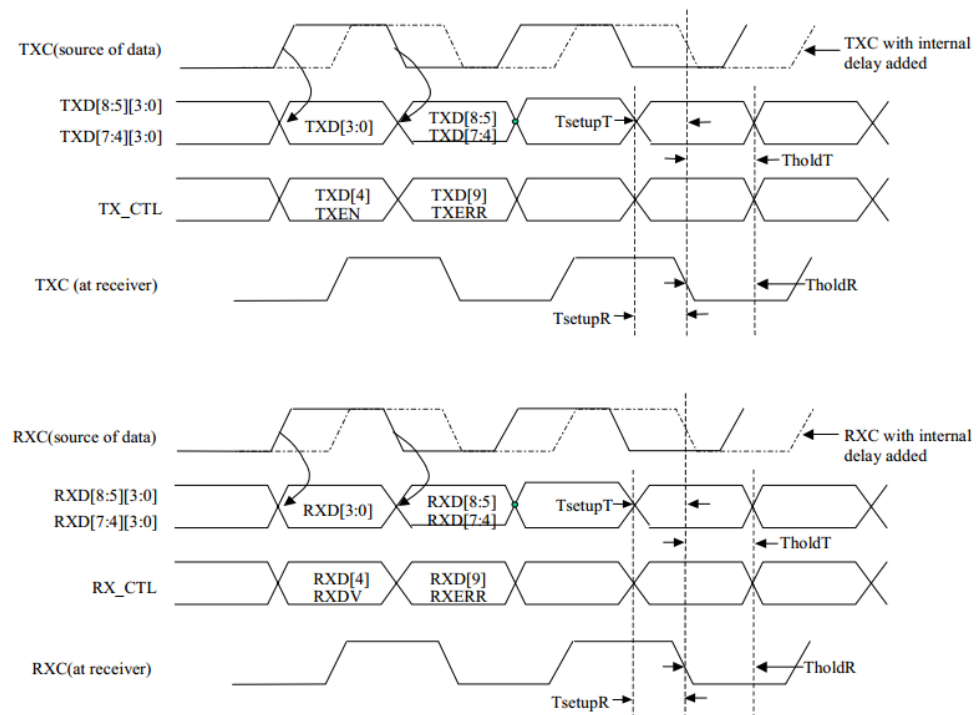




表 5-8 RGMII 收发时序参数表

符号	参数	最小值	典型值	最大值	单位
TskewT	Data to Clock output Skew (at Transmitter) *须知 1	-500	0	500	ps
TskewR	Data to Clock input Skew (at Receiver) *note 1	1	1.8	2.6	ns
TsetupT	Data to Clock output Setup (at Transmitter –integrated delay)	1.2	2.0	-	ns
TholdT	Clock to Data output Hold (at Transmitter –integrated delay)	1.2	2.0	-	ns
TsetupR	Data to Clock input setup Setup (at Receiver –integrated delay)	1.0	2.0	-	ns
TholdR	Data to Clock input setup Setup (at Receiver –integrated delay)	1.0	2.0	-	ns
Tcyc (1000Mb ps)	Clock Cycle Duration *须知 2	7.2	8	8.8	ns
Duty_G	Duty Cycle for 1Gbps *须知 3	45	50	55	%
Duty_T	Duty Cycle for 10/100Mbps*须知 3	40	50	60	%
Tr / Tf	Clock Rise / Fall Time (20%~80%)	-	-	0.75	ns

须知

1. PCB板设计走线长度约束跟PCB材质等因素强相关，无法从芯片角度给出走线长度具体约束值，设计时需要注意布线满足时序要求。
2. 10Mbps或100Mbps时，Tcyc 的值分别为400ns+-40ns和40ns+-4ns。
3. 在速度切换期间或发送时钟方向切换时，占空比可能会延长/缩短，只要不违反最小占空比，并且拉伸时间不超过三个Tcyc即可。

表 5-9 RMII 时序参数表 (MASTER)

符号	参数	最小值	典型值	最大值	单位
Tsu	TXD[1:0],TX_EN,RXD[1:0].CRS_DV, RX_ER data setup to REF_CLK rising edge	3.5	-	-	ns



符号	参数	最小值	典型值	最大值	单位
Thold	TXD[1:0],TX_EN,RXD[1:0].CRS_DV, RX_ER data holdREF_CLK rising edge	0.7	-	-	ns
Tco	Output delay	-1	-	1.5	ns
REF_CLK	REF_CLK Frequency	-	50	-	MH z

表 5-10 RMII 时序参数表 (SLAVE)

符号	参数	最小值	典型值	最大值	单位
Tsu	TXD[1:0],TX_EN,RXD[1:0].CRS_DV, RX_ER data setup to REF_CLK rising edge	1	-	-	ns
Thold	TXD[1:0],TX_EN,RXD[1:0].CRS_DV, RX_ER data holdREF_CLK rising edge	-2	-	-	ns
Tco	Output delay	1.2	-	5.1	ns
REF_CLK	REF_CLK Frequency	-	50	-	MH z

5.3.4 电路设计建议

无

5.3.5 不使用管脚处理方式

部分不用时，如RxErr不用需要拉低，全部不用时可以悬空。

5.3.6 应用约束

RGMIi rxclk不支持调相，若rxclk和rxdata同相位，会采样错误，在进行PHY选型时，需要选用支持txclk调相功能的PHY芯片。

5.4 Local Bus



5.4.1 概述

Local Bus可对外提供异步静态存储器接口，可以连接SRAM（Static Random Access Memory）、ROM（Read Only Memory）、NOR FLASH等异步静态存储器，用于实现系统启动、数据存储等功能。同时也可以用于连接带异步存储器接口。

Local Bus具有以下特性：

- 支持8个片选，每个片选对应的存储器空间可配置。
- 支持访问带有异步静态存储器接口的控制芯片。只支持数据线与地址线复用的Moto模式接口。
- 芯片启动后数据位可支持16bit或8bit位宽可配置，默认为16bit位宽。
- 支持大小端可配置：16bit位宽时支持；8bit位宽时不支持。
- 支持28根地址线。
- 支持地址偏移，可写寄存器地址偏移。
- 只支持数据线和地址线复用模式，地址锁存信号为高电平时，地址有效，为低电平时，数据有效。

Hi309a提供1个Local Bus接口。

5.4.2 接口信号描述

Local Bus接口信号如表5-11所示。

表 5-11 Local Bus 接口信号

功能名称	管脚类型	电平类型	描述
EBIWE N	O	DIGITAL 1.8V LVCMOS	Local Bus控制器输出的写使能信号，低电平有效。
EBIOE N	O	DIGITAL 1.8V LVCMOS	Local Bus控制器输出的读使能信号，低电平有效。
EBIALE	O	DIGITAL 1.8V LVCMOS	Local Bus控制器输出的地址锁存信号，仅在AD复用模式下有效。
EBICTL	O	DIGITAL 1.8V LVCMOS	SM_CTL_N，Local Bus控制器输出的读写合一信号，高读低写还是低写高读寄存器可配置（上电默认默认高度低写）。
EBICS0 N~ EBICS7 N	O	DIGITAL 1.8V LVCMOS	Local Bus控制器输出的通道0~7的片选信号，低电平有效。
EBIBLS 0~ EBIBLS 1	O	DIGITAL 1.8V LVCMOS	Local Bus控制器输出的Byte选择信号，低电平有效。



功能名称	管脚类型	电平类型	描述
EBIAD0 ~ EBIAD31	I/O	DIGITAL 1.8V LVCMOS	Local Bus控制器双向数据总线。数据线和地址线复用，通过EBIALE信号指示当前是地址还是数据。
SMREADY	Ipu	DIGITAL 1.8V LVCMOS	SM_READY，外部输入Local Bus控制器的异步等待信号。

5.4.3 接口时序

5.4.3.1 Local Bus 时序参数配置

表 5-12 Local Bus 的可配置时序参数表

符号	说明	最小值	最大值	单位
Tacs	从地址有效到片选有效的时间。	0	31	Cycle
Tcsrp	在读操作时，表示片选有效时间。在Page读操作时，表示从地址有效第一次读取数据的时间。	2	511	Cycle
Taoe	地址有效到读使能（oe_n）有效的时间。	0	31	Cycle
Tcoen	如果读使能（oe_n）先于片选（cs_n）无效，表示读使能（oe_n）无效到片选（cs_n）无效的时间； 如果片选（cs_n）先于读使能（oe_n）无效，表示片选（cs_n）无效到读使能（oe_n）无效的时间。	0	60	Cycle
Tal	从地址信号有效到读写合一信号（lbctl）有效（如：默认为写，假设为高，则低有效）时间。	0	31	Cycle
Tawe	从地址信号有效到写使能信号有效的时间。	0	31	Cycle



符号	说明	最小值	最大值	单位
Tcln	如果读写合一信号（lbctl）先于片选（cs_n）无效，表示从读写合一信号（lbctl）无效（恢复默认值）到片选（cs_n）无效时间； 如果片选（cs_n）先于读写合一信号（lbctl）无效，表示从片选（cs_n）无效到读写合一信号（lbctl）无效的时间。	0	60	Cycle
Tcswp	写操作时，片选有效时间。	2	511	Cycle
Tcwen	如果写使能（we_n）先于片选（cs_n）无效，表示写使能（we_n）无效到片选（cs_n）无效的时间； 如果片选（cs_n）先于写使能（we_n）无效，表示从片选无效到写使能无效的时间。	0	31	Cycle
Tcdn	从片选无效到写数据无效的时间。	0	31	Cycle
Tcl	在非复用情况下，表示从片选无效到地址有效的时间。	3	63	Cycle
Tprc	Page读时，两次读的时间间隔。	1	31	Cycle
Tlgt_a_s amp	从片选有效到开始采样外部Ready（LGTA）的时间。如果从片选有效开始采，则此值设置为1。	1	63	Cycle

须知

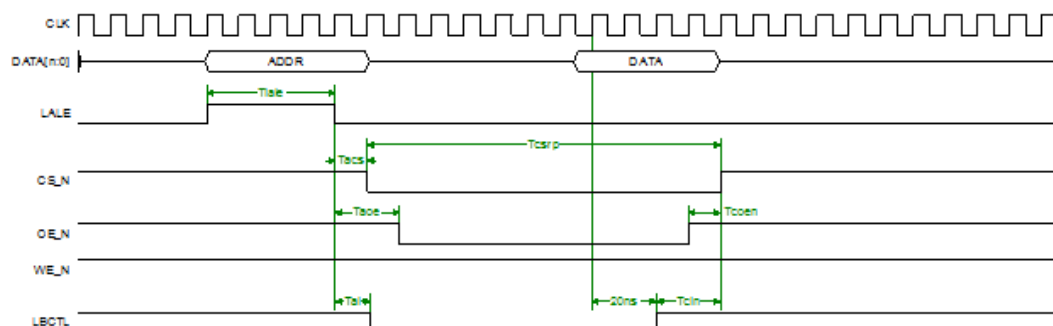
表5-12中单位Cycle表示Local Bus模块的工作时钟周期，频率为200MHz。

5.4.3.2 Local Bus 典型时序

Local Bus为地址线和数据线复用，外部器件是带Ready的器件还是不带Ready的器件。下面各图将列出各种情况的时序，以及各种情况下的配置参数。各个参数的具体含义可以在表5-12中查找。

无外部 Ready 场景

图 5-10 Local Bus 复用无外部 Ready 单次读操作



须知

Local Bus读外部数据的操作，内部锁存读取的数据的时刻是片选cs_n或者读写合一信号lbctl或者读使能oe_n的上升沿的前20ns处采样数据，以这三个信号最先无效的信号的上升沿为准。所以如果外部器件使用的是oe_n信号，要求 $T_{coen} \geq T_{cln}$ 。所以如果外部器件使用的是lbctl信号，要求 $T_{cln} \geq T_{coen}$ 。

- 读数据建立时间：读数据有效和oe_n（或lbctl）上升沿之间，最小30ns。
- 读数据保持时间：片选上升沿与读数据无效之间最小是0ns。

图 5-11 Local Bus 复用无外部 Ready 单次写操作

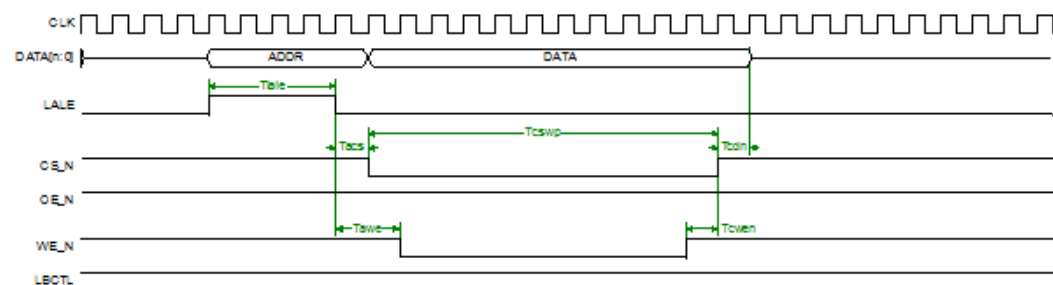
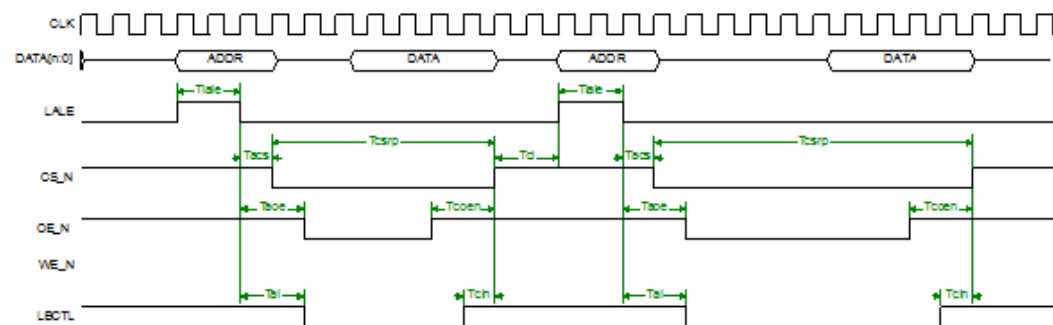


图 5-12 Local Bus 复用无外部 Ready 连续读操作



须知

Tcl参数表示两次操作的间隔，Tcdn、Tcln、Twen、Tcoen有效时间不能跨越两次操作。

否则时序就不正确了。所以需要满足如下的要求:

- $T_{cl-3} \geq T_{cdn}$ ；保证数据保持时间不跨越两次操作。
- $T_{cl-3} \geq T_{cln}$ ；保证读写合一信号不跨越两次操作。
- $T_{cl-3} \geq T_{wen}$ ；保证写使能信号不跨越两次操作。
- $T_{cl-3} \geq T_{coen}$ ；保证读使能信号不跨越两次操作。
- $T_{cl-3} \geq T_{cdn}$ ；保证数据保持时间不跨越两次操作。
- $T_{cl-3} \geq T_{cln}$ ；保证读写合一信号不跨越两次操作。
- $T_{cl-3} \geq T_{wen}$ ；保证写使能信号不跨越两次操作。
- $T_{cl-3} \geq T_{coen}$ ；保证读使能信号不跨越两次操作。

图 5-13 Local Bus 复用无外部 Ready 连续写操作

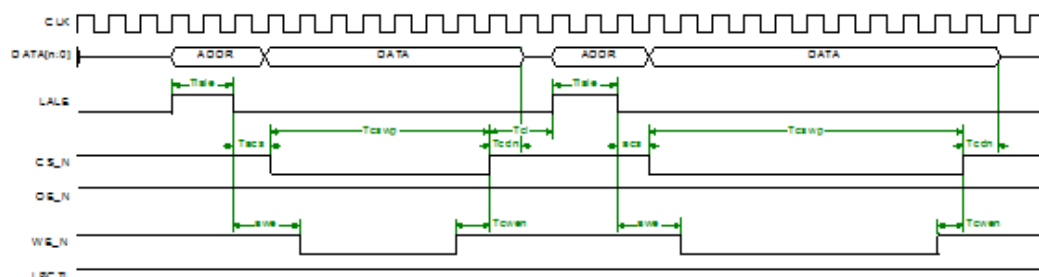


图 5-14 Local Bus 复用无外部 Ready 读写切换操作

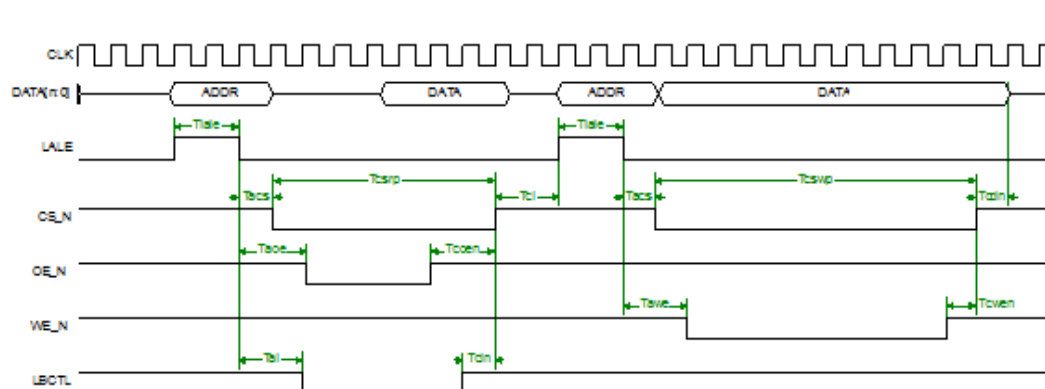


图 5-15 Local Bus 复用无外部 Ready 写读切换操作

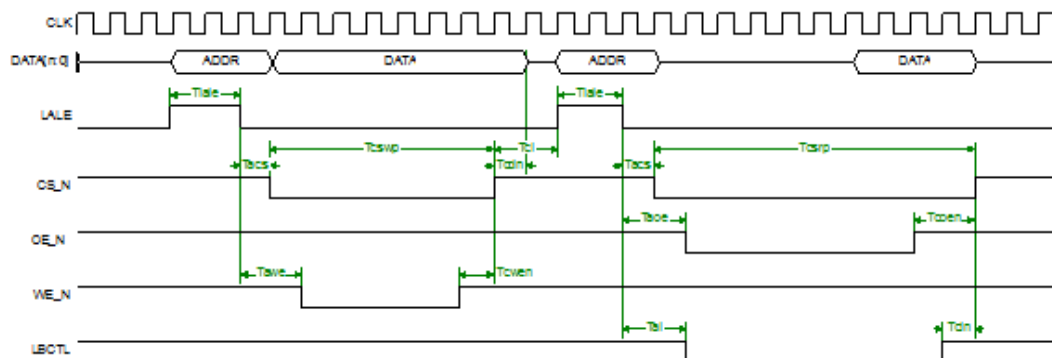
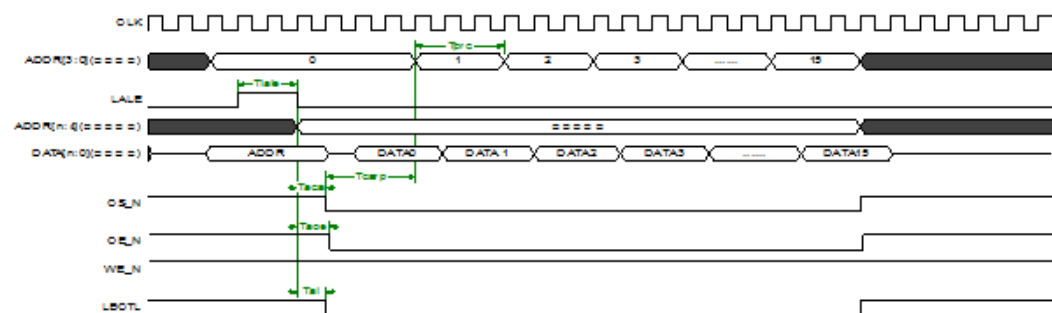


图 5-16 Local Bus 复用无外部 ReadyPage 读操作



须知

只有非ready器件支持page读功能，带ready的器件是不支持page读模式的，所以这两个功能不能同时打开。

有外部 Ready 场景

须知

Ready模式采样数据是在LGTA信号有效的第三个时钟周期。建议ready有效后数据有效，数据有效持续时间最少60ns。

图 5-17 LocalBus 复用有外部 Ready 单次读操作

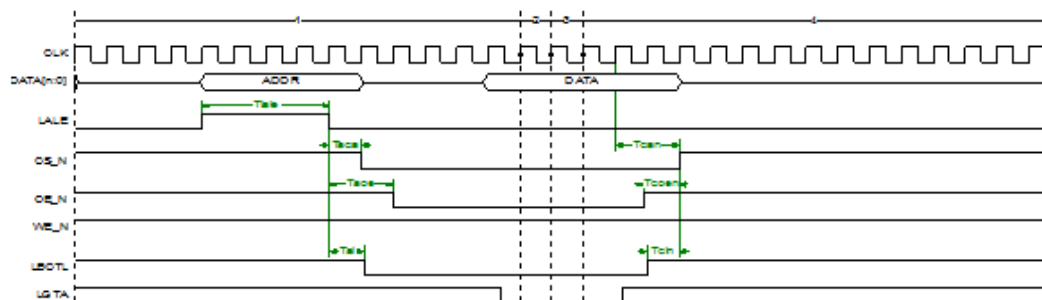


图 5-18 LocalBus 复用有外部 Ready 单次写操作

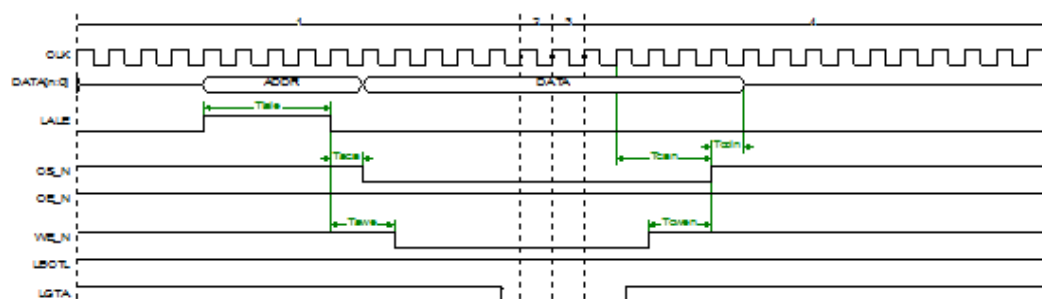


图 5-19 LocalBus 复用有外部 Ready 连续读操作

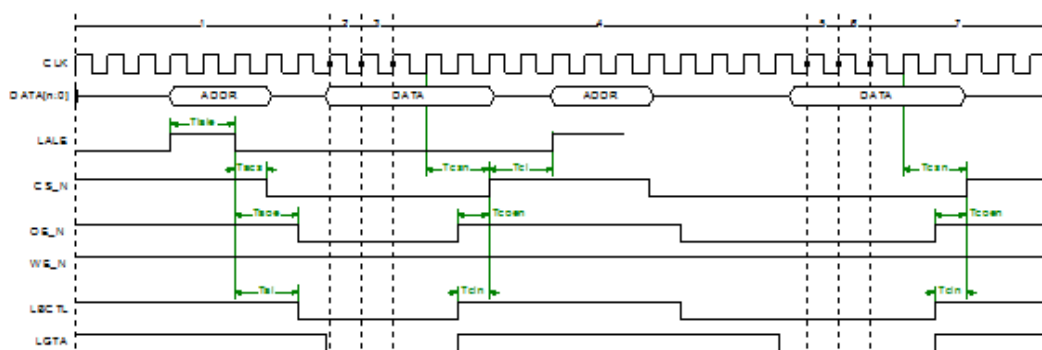


图 5-20 LocalBus 复用有外部 Ready 连续写操作

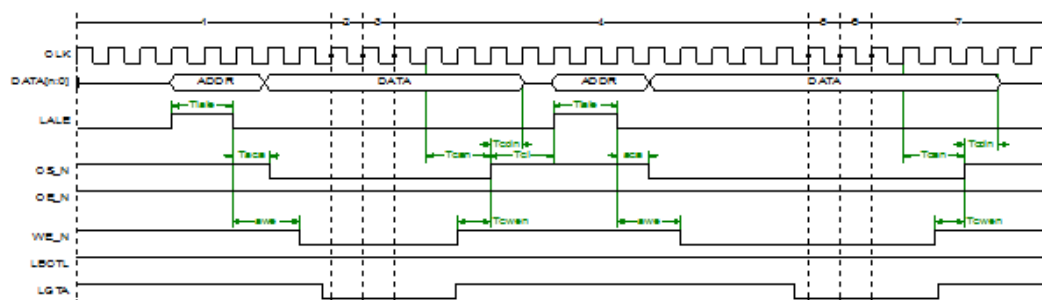




图 5-21 LocalBus 复用有外部 Ready 读写切换操作

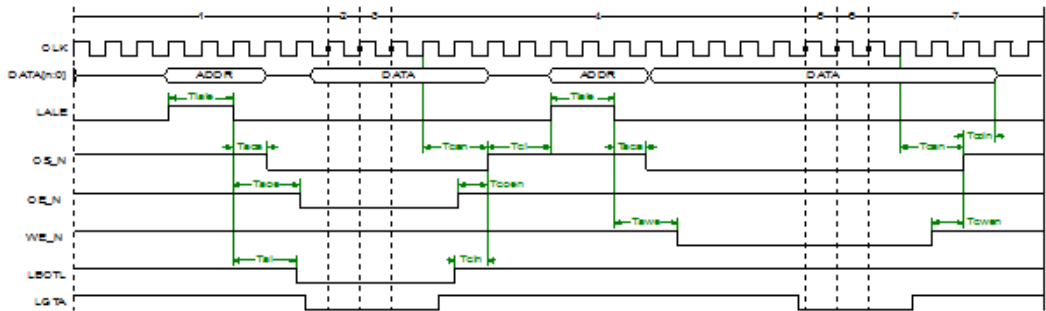


图 5-22 LocalBus 复用有外部 Ready 写读切换操作

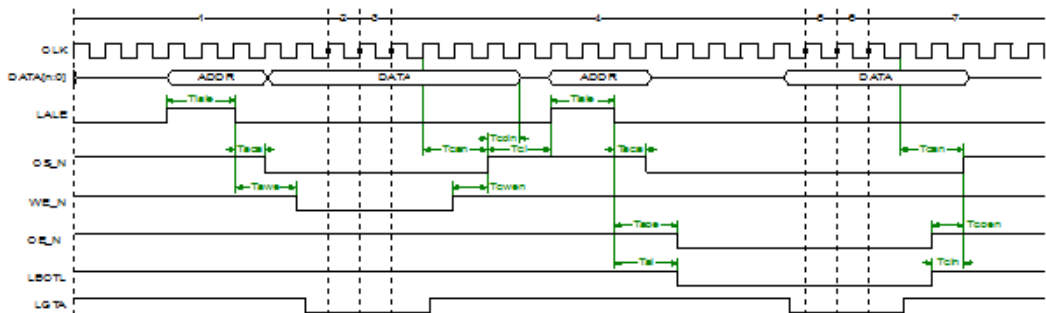
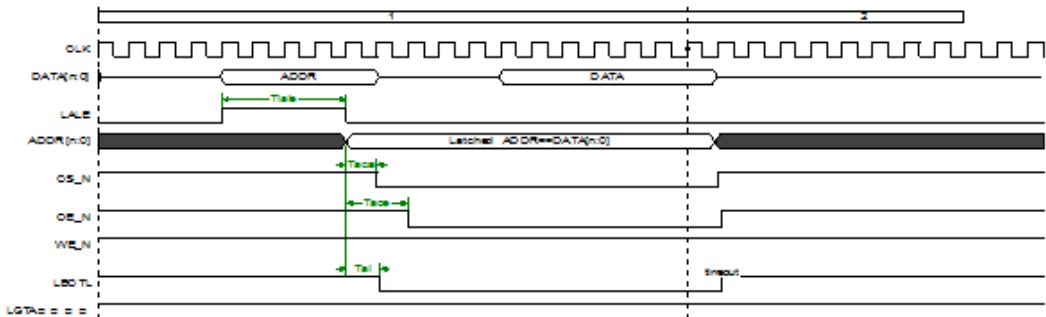


图 5-23 LocalBus 复用有外部 Ready 外部 Ready 超时



5.4.4 电路设计建议

无

5.5 SFC

5.5.1 概述

SFC (Serial Peripheral Interface Flash Controller) 是一个SPI Flash控制器。每个SFC支持通过一个AXI SLAVE口对所接器件进行访问。



- 提供2个SFC，用于SPI NOR Flash器件的对接和访问。
- 支持3Byte和4Byte两种FLASH地址模式。
- 支持MODE0/MODE3，MODE0表示在无操作时，输入SPI FLASH时钟保持低电平，MODE3则为高电平。
- 支持1/2/4线接口访问方式。
- 支持256Byte和512Byte两种page size。
- 对于总线非自动访问，SFC读写操作访问粒度支持以按照一次发送32/64/128/256Byte数据为单位，寄存器可配置，AXI一次操作的数据量不能超过这个配置值。
- 对于总线自动访问，写操作支持以一个pagesize为粒度；对于读操作，支持以整个空间作为一次FLASH的操作。
- 支持SPI FLASH的复位操作，HOLD\WP操作。
- 读操作所需的Dummy cycle寄存器可配。
- 时钟频率可使用寄存器进行配置，只支持偶数分频，分频系数为2~32，分频时钟用于SPI接口数据的时钟。
- Hi309a提供2个SFC接口。

5.5.2 接口信号描述

SFC接口信号如表5-13所示。

表 5-13 SFC 接口信号

管脚功能名称	方向	电平类型	描述
SFC0_SPICS0	O	LVCMO S	SFC0片选0信号，低电平有效。
SFC0_SPICS1	O	LVCMO S	SFC0片选1信号，低电平有效。
SFC0_SPICLK	O	LVCMO S	SFC时钟信号。
SFC0_SPI_DQ0	I/O	LVCMO S	在Standard SPI模式，为数据的输出信号； 在Dual SPI模式下，为数据的输入输出信号； 在Quad SPI模式下，为数据的输入输出信号； 在Serial Quad I/O模式下，为数据的输入输出信号。
SFC0_SPID_DQ1	I/O	LVCMO S	在Standard SPI模式，为数据的输入信号； 在Dual SPI模式下，为数据的输入输出信号； 在Quad SPI模式下，为数据的输入输出信号； 在Serial Quad I/O模式下，为数据的输入输出信号。



管脚功能名称	方向	电平类型	描述
SFC0_WP_DQ2	I/O	LVCMO S	在Standard SPI模式，作为write protect功能，低电平有效； 在Dual SPI模式下，作为write protect功能，低电平有效； 在Quad SPI模式下，为数据的输入输出信号； 在Serial Quad I/O模式下，为数据的输入输出信号。
SFC0_HOLD_DQ3	I/O	LVCMO S	在Standard SPI模式，作为无效输入功能，建议板级做上拉无效处理，防止对接器件误判； 在Dual SPI模式下，作为无效输入功能，建议板级做上拉无效处理，防止对接器件误判； 在Quad SPI模式下，为数据的输入输出信号； 在Serial Quad I/O模式下，为数据的输入输出信号。该信号对应CS0 Flash的HOLD/DQ3。
SFC0_HOLD1_DQ3	I/O	LVCMO S	在Standard及Dual模式为HOLD功能，默认低电平表示进入HOLD状态，支持输出控制电平可配； Quad模式下为双向数据信号DQ3。
SFC0_RST	O	LVCMO S	SFC Flash的复位信号，低电平有效。
SFC1_SPICLK	I/O	LVCMO S	SFC SPI时钟，边沿有效，支持有效沿可配置，默认上升沿有效。
SFC1_SPICS0	I/O	LVCMO S	SFC1 片选0信号，默认低电平选中对应FLASH器件，支持输出控制电平可配。
SFC1_SPICS1	I/O	LVCMO S	SFC1 片选1信号，默认低电平选中对应FLASH器件，支持输出控制电平可配。
SFC1_RST	I/O	LVCMO S	NOR FLASH 2&3复位信号，默认低电平复位，支持软件控制，支持输出复位电平可配。
SFC1_SPI_DQ1	I/O	LVCMO S	在Standard SPI模式为数据输出信号；Dual及Quad模式下为双向数据信号DQ1；（注：产品应用时为DQ1应用，但是逻辑内部信号是DQ0）
SFC1_SPI_DQ0	I/O	LVCMO S	在Standard SPI模式为数据输入信号；Dual及Quad模式下为双向数据信号DQ0；（注：产品应用时为DQ0应用，但是逻辑内部信号是DQ1）
SFC1_WP_DQ2	I/O	LVCMO S	在Standard 及Dual模式为write protect功能，默认低电平表示写保护，支持输出控制电平可配； Quad模式下为双向数据信号DQ2。
SFC1_HOLD_DQ3	I/O	LVCMO S	在Standard 及Dual模式为HOLD功能，默认低电平表示进入HOLD状态，支持输出控制电平可配； Quad模式下为双向数据信号DQ3。



管脚功能名称	方向	电平类型	描述
SFC1_HOLD1_DQ3	I/O	LVCMO S	在Standard 及Dual模式为HOLD功能，默认低电平表示进入HOLD状态，支持输出控制电平可配；Quad模式下为双向数据信号DQ3。

5.5.3 接口时序

下面时序图中SFC_DATA指代 SFC_HOLD_DQ3、SFC_CS1_DQ3、SFC_WP_DQ2、SFC_SPIDI_DQ1、SFC_SPIDI_DQ0做数据使用时的时序。
SFC-SDR数据输入时序如图5-24所示。

图 5-24 SFC 输入信号时序图（SDR 模式）

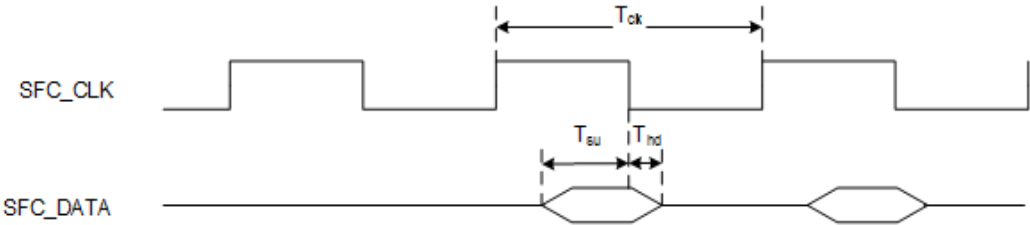


图5-24中的时序参数取值范围如表5-14所示。

表 5-14 SFC_SDR 模式输入时序参数列表

参数	参数名	最小值	典型值	最大值	单位
SFC_CLK时钟周期 (SDR 模式)	T_{clk}	-	-20	-	ns
输入信号建立时间要求	T_{su}	6	-	-	ns
输入信号保持时间要求	T_{hd}	1.5	-	-	ns

SFC-SDR数据输出时序如图5-25所示。

图 5-25 输出信号时序图（SDR 模式）

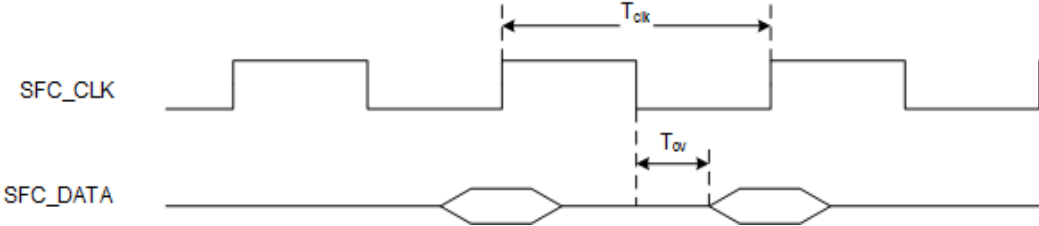




图5-25中的时序参数取值范围如表5-15所示。

表 5-15 SFC_SDR 模式输出时序参数列表

参数	参数名	最小值	典型值	最大值	单位
SFC_CLK时钟周期(SDR 模式)	T	-	20	-	ns
输出信号延迟	T _{ov}	-1	-	2.1	ns

5.5.4 电路设计建议

无

5.5.5 不使用管脚处理方式

输入端口建议接地，输出端口悬空即可。

5.5.6 应用约束

IFC的SFC_MEM1_CFG寄存器是配置SFC片选1器件的空间大小和起始地址的；外部总线方式的地址需要与实际空间大小对齐；比如设置为128M时，总线入口首地址需要128M对齐；设置为256M时，总线入口首地址需要256M对齐；

当SFC片选0，片选1配置不同大小时；地址空间不一定连续，片选1首地址，需要按照实际空间对齐来发操作；

例如，片选0配置64M，片选1配置128M，sfc_if1_mem_size配置为128M时，总线入口首地址需要128M对齐，sfc_if1_base_addr配置为0x0800，片选1的首地址，要按照基地址偏移128M作为片选1的首地址来操作，片选0和片选1之间有64M不使用的地址。

图 5-26 寄存器表单

SFC_MEM1_CFG	SFC片选1器件配置寄存器	0x300C	32	BF	0x000B400	reserved	31:20	BF	0x000	保留
						sfc_if1_mem_size	19:16	BF	0x0	接口片选器件容量： Out0: 8K Out1: 64K Out2: 128K Out3: 256K Out4: 512K Out5: 1M Out6: 2M Out7: 4M Out8: 8M Out9: 16M OutA: 32M OutB: 64M OutC: 128M OutD: 256M OutE: 512M OutF: 1M
						sfc_if1_base_addr	15:0	BF	0x0400	外部器件起始地址(高16位) 注：外部器件方式访问的起始地址需要与实际空间大小对齐！且如sfc_if1_mem_size配置为128M时，总线入口地址需要128M对齐；sfc_if1_base_addr配置为0x0800时，sfc_if1_mem_size配置为256M时，sfc_if1_base_addr配置为0x1000时

5.6 NANDC



5.6.1 概述

NANDC (NAND Flash Controller) 是片外NAND Flash的存储控制器，主要实现对片外NAND Flash的数据的存取。

Hi309a 提供一个NANDC接口。

5.6.2 接口信号描述

NANDC接口信号如表5-16所示。

表 5-16 NANDC 接口信号

管脚功能名称	方向	电平类型	描述
NAND_WP_N	O	LVC MOS	写保护信号，低电平启用颗粒的写保护。
NAND_DQS	I/O	LVC MOS	NANDC的Data Strobe信号。
NAND_WR	O	LVC MOS	NANDC输出时钟/WR复用信号，对于美光Onfi2.3的同步NAND，作为clk；对于Toggle和异步Nand，是WR写使能信号，上升沿锁存发送给颗粒的指令、地址、数据。
NAND_RDY0	I	LVC MOS	Ready/Busy信号0，低电平表示NAND在Busy状态，高电平表示NAND在Ready状态，NAND颗粒端为OD输出。
NAND_CS_N0	O	LVC MOS	片选信号0，低电平选中对应NAND FLASH。
NAND_RDY1	I	LVC MOS	Ready/Busy信号1，低电平表示NAND在Busy状态，高电平表示NAND在Ready状态，NAND颗粒端为OD输出。
NAND_CS_N1	O	LVC MOS	片选信号1，低电平选中对应NAND FLASH。
NAND_RDY2	I	LVC MOS	Ready/Busy信号2，低电平表示NAND在Busy状态，高电平表示NAND在Ready状态，NAND颗粒端为OD输出。
NAND_CS_N2	O	LVC MOS	片选信号2，低电平选中对应NAND FLASH。
NAND_RDY3	I	LVC MOS	Ready/Busy信号3，低电平表示NAND在Busy状态，高电平表示NAND在Ready状态，NAND颗粒端为OD输出。
NAND_CS_N3	O	LVC MOS	片选信号3，低电平选中对应NAND FLASH。



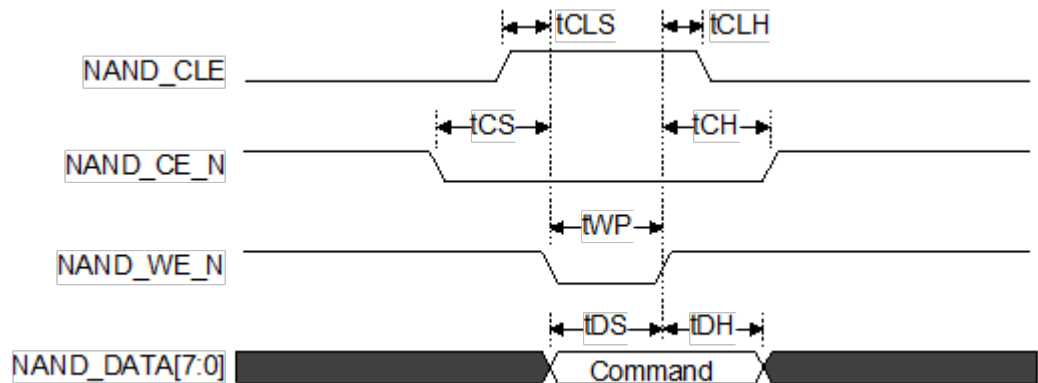
管脚功能名称	方向	电平类型	描述
NAND_ALE	O	LVC MOS	地址锁存使能信号，高电平表示地址有效。
NAND_CLE	O	LVC MOS	指令锁存使能信号，高电平表示指令有效。
NAND_RD	O	LVC MOS	读使能信号，下降沿触发颗粒输出数据。
NAND_DATA0	I/O	LVC MOS	NAND数据线0。
NAND_DATA1	I/O	LVC MOS	NAND数据线1。
NAND_DATA2	I/O	LVC MOS	NAND数据线2。
NAND_DATA3	I/O	LVC MOS	NAND数据线3。
NAND_DATA4	I/O	LVC MOS	NAND数据线4。
NAND_DATA5	I/O	LVC MOS	NAND数据线5。
NAND_DATA6	I/O	LVC MOS	NAND数据线6。
NAND_DATA7	I/O	LVC MOS	NAND数据线7。

5.6.3 接口时序

5.6.3.1 命令周期（异步 nand）时序

NANDC命令周期时序如图5-27所示。

图 5-27 NANDC 命令周期时序图



说明

NAND_WE_N 和 NAND_RE_N 的高电平宽度和低电平宽度是可以通过 NAND Flash 控制器的 NF_PULSE_WIDTH 寄存器设置的，因此，NANDC 接口时序图中的部分参数会随着该寄存器的设置不同而改变。在本节的参数表中，统一以“可以设置”表示。

NANDC 命令周期时序参数如表 5-17 所示。

表 5-17 NANDC 命令周期时序参数表

参数	符号	最小值	典型值	最大值	单位
NANDC 时钟周期	Tclk	4	-	-	ns
NAND_CLE 建立时间	tCLS	1*Tclk	-	16*Tclk	ns
NAND_CLE 保持时间	tCLH	1*Tclk	-	16*Tclk	ns
NAND_CE_N 建立时间	tCS	16*Tclk	-	32*Tclk	ns
NAND_CE_N 保持时间	tCH	2*Tclk	-	76*Tclk	ns
NAND_WE_N 脉冲宽度	tWP	1*Tclk	-	16*Tclk	ns
数据建立时间	tDS	1*Tclk	-	16*Tclk	ns
数据保持时间	tDH	1*Tclk	-	16*Tclk	ns

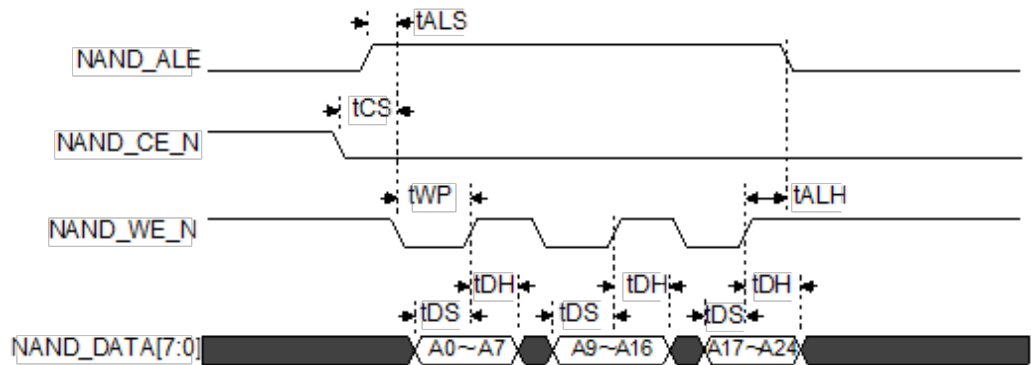
说明

- 表 5-17 中参数是 NANDC 可提供的能力，命令周期时序是否满足要求以协议或 Flash 芯片手册为准。
- tCLH、tCH、tDH 参数通过配置 NFC_PWIDTH[rw_hcnt]（基地址 0x10000000，偏移地址为 0x0004，bit[11:8]）调整。
- tWP、tDS 参数通过配置 NFC_PWIDTH[w_lcnt]（基地址 0x10000000，偏移地址为 0x0004，bit[3:0]）调整。

5.6.3.2 地址周期时序

NANDC地址周期时序如图5-28所示。

图 5-28 NANDC 地址周期时序图



NANDC地址周期时序参数如表5-18所示。

表 5-18 NANDC 地址周期时序参数表

参数	符号	最小值	典型值	最大值	单位
NANDC时钟周期	Tclk	4	-	-	ns
NAND_CE_N建立时间	tCS	16*Tclk	-	32*Tclk	ns
NAND_WE_N脉冲宽度	tWP	1*Tclk	-	16*Tclk	ns
NAND_ALE建立时间	tALS	-	1*Tclk	16*Tclk	ns
NAND_ALE保持时间	tALH	1*Tclk	-	16*Tclk	ns
数据建立时间	tDS	1*Tclk	-	16*Tclk	ns
数据保持时间	tDH	1*Tclk	-	16*Tclk	ns

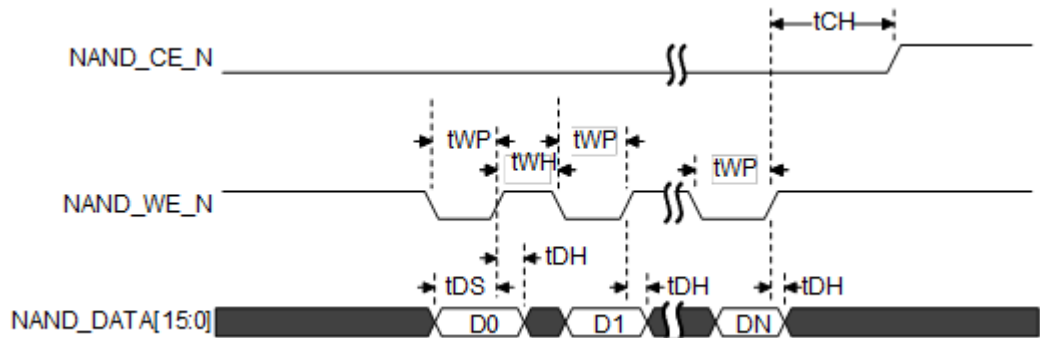
说明

- tALH、tDH参数通过配置NFC_PWIDTH[rw_hcnt]（基地址0x10000000，偏移地址为0x0004，bit[11:8]）调整。
- tWP、tDS参数通过配置NFC_PWIDTH[w_lcnt]（基地址0x10000000，偏移地址为0x0004，bit[3:0]）调整。

5.6.3.3 写数据时序

NANDC写数据时序如图5-29所示。

图 5-29 NANDC 写数据时序图



NANDC写数据时序参数如表5-19所示。

表 5-19 NANDC 写数据时序参数表

参数	符号	最小值	典型值	最大值	单位
NANDC时钟周期	Tclk	4	-	-	ns
NAND_CE_N保持时间	tCH	2*Tclk	-	76*Tclk	ns
NAND_WE_N脉冲宽度	tWP	1*Tclk	-	16*Tclk	ns
数据建立时间	tDS	1*Tclk	-	16*Tclk	ns
数据保持时间	tDH	1*Tclk	-	16*Tclk	ns
NAND_WE_N高电平保持时间	tWH	1*Tclk	-	16*Tclk	ns

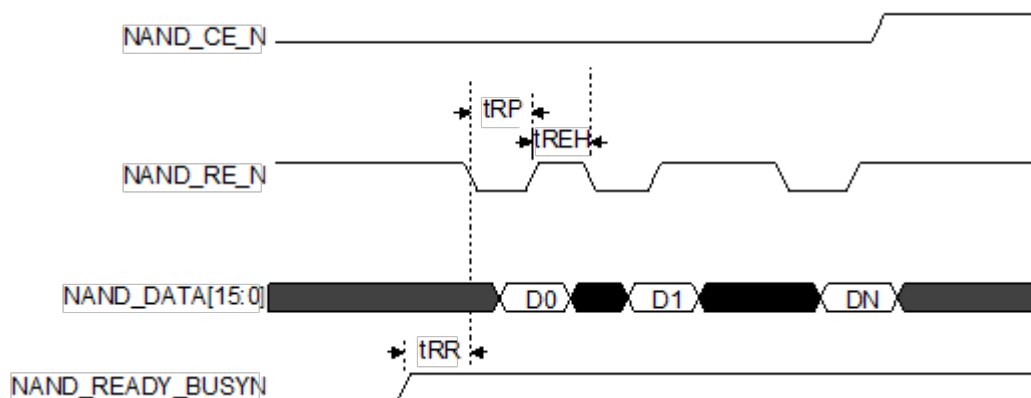
说明

- tCH、tDH、tWH参数通过配置NFC_PWIDTH[rw_hcnt]（基地址0x10000000，偏移地址为0x0004，bit[11:8]）调整。
- tWP、tDS参数通过配置NFC_PWIDTH[w_lcnt]（基地址0x10000000，偏移地址为0x0004，bit[3:0]）调整。
- 写数据操作时实际tCH = （配置值 + 1）× Tclk。

5.6.3.4 读数据时序

NANDC读数据时序如图5-30所示。

图 5-30 NANDC 读数据时序图



NANDC读数据时序参数如表5-20所示。

表 5-20 NANDC 读数据时序参数表

参数	符号	最小值	典型值	最大值	单位
NANDC时钟周期	Tclk	4	-	-	ns
NAND_RE_N变低等待时间	tRR	8*Tclk	-	-	ns
数据建立时间	tDS	8	-	-	ns
数据保持时间	tDH	4.5	-	-	ns
NAND_RE_N脉冲宽度	tRP	1*Tclk	-	16*Tclk	ns
NAND_RE_N高电平宽度	tREH	1*Tclk	-	16*Tclk	ns

说明

- tREH参数通过配置NFC_PWIDTH[rw_hcnt]（基地址0x10000000，偏移地址为0x0004，bit[11:8]）调整。
- tRP参数通过配置NFC_PWIDTH[r_lcnt]（基地址0x10000000，偏移地址为0x0004，bit[7:4]）调整。
- tRR参数通过配置NFC_OPIDLE[frb_idle]（基地址0x10000000，偏移地址为0x0008，bit[3:0]）调整。

5.6.4 电路设计建议

无

5.6.5 不使用管脚处理方式

无



5.6.6 应用约束

Hi309a芯片新增了Nand Flash的自适应管脚BOOT_CFG_W7，此管脚与Nor Flash的SFC0_HOLD1_DQ3管脚复用，默认为SFC0_HOLD1_DQ3管脚功能，上电锁存该管脚状态，该管脚状态会传递给NANDC的寄存器op_boot_cfg，若上电SFC0_HOLD1_DQ3管脚上拉，会导致NANDC的op_boot_cfg由默认值0变为1，影响使用。建议在NANDC操作之前对该寄存器配置后再使用。

图 5-31 寄存器表单

PAD_SFC0_HOLD1_DQ3	0	SFC0_HOLD1_DQ3					BOOT_CFG_W7	GPIO082
--------------------	---	----------------	--	--	--	--	-------------	---------

图 5-32 QSGMII 的眼图参数示意图

BOOT_CFG_W7	boot参数寄存器	0x0094	3C	W	0x00000000	reserved	31:8	-	0x00000000	注释
							7	W	0x0	Boot: 两份备份 备份地址的物理地址。 0: 备份地址 0 物理地址。 1: 备份地址 1 物理地址。 Boot: 数据位 1 到 7 备份地址。 0000: 从备份 0 开始映射 boot 数据。 0001: 从备份 1 开始映射 boot 数据。 0100: 从备份 2 开始映射 boot 数据。 0101: 从备份 3 开始映射 boot 数据。 1000: 从备份 4 开始映射 boot 数据。 1001: 从备份 5 开始映射 boot 数据。 1100: 从备份 6 开始映射 boot 数据。 1101: 从备份 7 开始映射 boot 数据。
							6:4	W	0x0	Boot: 数据位 1 到 7 备份地址。 0000: 从备份 0 开始映射 boot 数据。 0001: 从备份 1 开始映射 boot 数据。 0100: 从备份 2 开始映射 boot 数据。 0101: 从备份 3 开始映射 boot 数据。 1000: 从备份 4 开始映射 boot 数据。 1001: 从备份 5 开始映射 boot 数据。 1100: 从备份 6 开始映射 boot 数据。 1101: 从备份 7 开始映射 boot 数据。
							3	W	0x0	Boot: 是否使用自动备份设备进行特性配置。如果使能，则不需要通过管脚进行配置。 0: 不使能。 1: 使能。 注: 在非boot模式下，若开启此标志，控制端在读写block0的page0和page1时，会对写入或读取的数据进行部分数据操作。
							2	W	0x0	Boot: 是否使用自动备份设备进行特性配置。如果使能，则不需要通过管脚进行配置。 0: 不使能。 1: 使能。 注: 在非boot模式下，若开启此标志，控制端在读写block0的page0和page1时，会对写入或读取的数据进行部分数据操作。
							1:0	W	0x0	Boot: 是否使用自动备份设备进行特性配置。如果使能，则不需要通过管脚进行配置。 0: 不使能。 1: 使能。 注: 在非boot模式下，若开启此标志，控制端在读写block0的page0和page1时，会对写入或读取的数据进行部分数据操作。

5.7 EMMC/SD

5.7.1 概述

EMMC/SD host controller (以下简称EMMC) 用于处理对device卡 (SD卡/MMC) 的读写等操作，属于自研IP。EMMC地址空间64位全地址访问，适用于SOC的最大物理地址大小；EMMC默认工作电压1.8V；SD低速模式3.3V，高速模式支持1.8V。

自研EMMC IP支持符合以下协议的设备：（PG2应用场景仅需要支持EMMC颗粒）

- Secure Digital Memory (SDmem-version3.0协议)
- SDIO (SDIO V3.00协议)
- MultiMediaCard (EMMC4.5/MMC4.41协议)
- Nano Memory Card (兼容EMMC4.5协议)

EMMC控制器具有以下特点：

- 支持SD协议的Default Speed (DS)，High Speed (HS)，SDR12，SDR25，SDR50和SDR104速率。
- 支持1/4bit模式；不支持8线模式（不允许配置8线模式）。
- 支持eMMC协议的，协议的Default Speed，High Speed SDR，支持HS200模式，最高速率要求支持208MHz；最大读/写带宽均不小于104MByte/s。
- 支持CPU数据传输，支持SDMA数据传输，支持ADMA2数据，传输支持链表访问，链表模式最大支持4KB数据传输。



- Slave接口符合APB3协议（Slave空间4KB）。
- Master接口符合AXI4协议（数据位宽支持32bit，地址支持64bit），写OST最大支持16，读OST最大支持17，支持乱序，不支持超过16的长Burst。
- 只支持INC操作，支持非对齐地址，最小颗粒度为32bit（4Byte），不支持Narrow Burst，不支持Exclusive操作，不支持Lock操作。
- 支持命令CRC7与数据CRC16校验，卡检测（需要GPIO控制双沿触发）与初始化。
- 支持Single/Multi_Block传输，块数据传输最大支持512Byte，支持最大Block Number为65536。
- 支持双array异步FIFO设计(FIFO_DEPTH=256，FIFO_WIDTH=32bit)，收发FIFO独立，支持流水线配置。
- 支持FIFO上溢出与下溢出中断告警，防止数据传输错误。
- 支持命令完成信号与中断上报主机控制器。
- 支持Tuning功能，Sample和Driver 相位可配；调相窗口数量可编程；（理论上16个窗口即可，即最大频率为1.6GHz， $FNPLL=FSD*N/2$ ）。
- 支持EMMC BOOT启动模式，不支持eMMC在DDR模式下进行Boot操作。
- Hi309a项目emmc支持跨片访问；（PG2不支持）。

配置peri_subctrl，0x00_A40C_220C=0x0表示访问本片，0x1表示跨片访问。

Hi309a提供1个EMMC/SD接口。

5.7.2 接口信号描述

表 5-21 EMMC 接口信号

内部信号名称	方向	描述
EMMC_RST_N	output	硬复位EMMC 器件，低电平复位。EMMC器件端默认该信号无效，需要通过寄存器配置使能。
EMMC_CMD	Bi	指令/响应信号，控制器向EMMC器件发送指令，EMMC对控制器发送响应。
EMMC_CLK	output	时钟信号，用于指令及数据采样。 LEGACY: 26MHz。 HS SDR: 52MHz。
EMMC_DATA0	Bi	DATA0 INPUT/OUTPUT BUS，共4bit。
EMMC_DATA1	Bi	DATA1 INPUT/OUTPUT BUS，共4bit。
EMMC_DATA2	Bi	DATA2 INPUT/OUTPUT BUS，共4bit。
EMMC_DATA3	Bi	DATA3 INPUT/OUTPUT BUS，共4bit。
EMMC_RST_N	output	硬复位EMMC 器件，低电平复位。EMMC器件端默认该信号无效，需要通过寄存器配置使能。



表 5-22 SD 卡接口信号

功能名称	管脚类型	频率	描述
SDC_CLK	I/O	25MHz	SD卡接口的时钟信号。
SDC_DATA3	I/O	25MHz	SD卡接口的Data3信号。
SDC_DATA2	I/O	25MHz	SD卡接口的Data2信号。
SDC_DATA1	I/O	25MHz	SD卡接口的Data1信号。
SDC_DATA0	I/O	25MHz	SD卡接口的Data0信号。
SDC_CMD	I/O	25MHz	SD卡接口的CMD信号（说明SDC IP，CMD信号是双向的）。

5.7.3 接口时序

图 5-33 单沿的 HS、DS 模式接口时序图

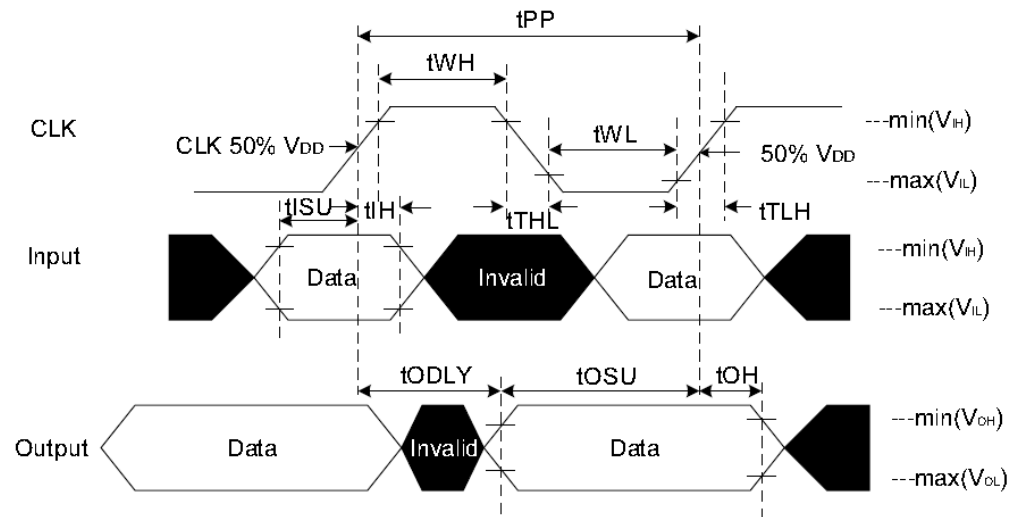


表 5-23 单沿 DS 模式时序参数表

参数	符号	最小值	典型值	最大值	单位
CLK时钟频率	fPP	-	-	50	MHz
CLK高电平宽度	tWH	6.5	-	-	ns
CLK低电平宽度	tWL	6.5	-	-	ns
CLK低电平到高电平延时	tTLH	-	-	3	ns
CLK高电平到低电平延时	tTHL	-	-	3	ns



参数	符号	最小值	典型值	最大值	单位
Output建立时间	tODLY	-2	-	13.5	ns
Input建立时间	tISU	13	-	-	ns
Input保持时间	tIH	3	-	-	ns

图 5-34 SD 卡 DS 模式时序图

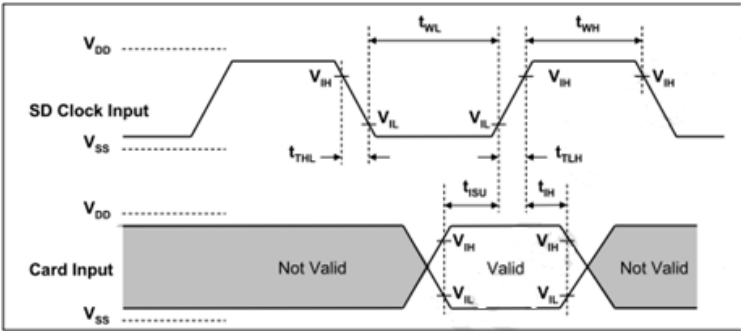


Figure 6-10: Card Input Timing (Default Speed Card)

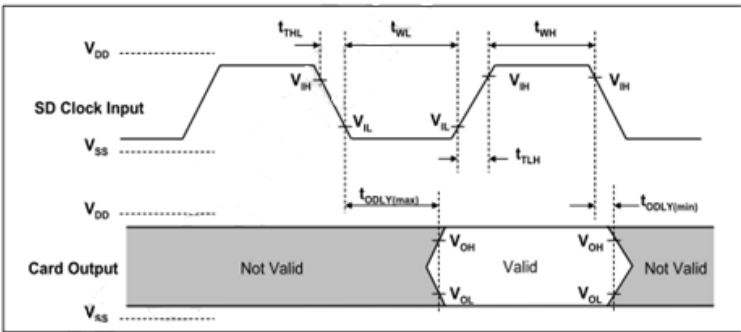


Figure 6-11: Card Output Timing (Default Speed Mode)



图 5-35 SD 卡 DS 模式时序参数表

Parameter	Symbol	Min.	Max.	Unit	Remark
Clock CLK (All values are referred to min (V _{BH}) and max (V _{IL}).					
Clock frequency Data Transfer Mode	f _{PP}	0	25	MHz	C _{CARD} ≤ 10 pF (1 card)
Clock frequency Identification Mode	f _{OD}	0 ⁽¹⁾ /100	400	kHz	C _{CARD} ≤ 10 pF (1 card)
Clock low time	t _{WL}	10		ns	C _{CARD} ≤ 10 pF (1 card)
Clock high time	t _{WH}	10		ns	C _{CARD} ≤ 10 pF (1 card)
Clock rise time	t _{TLH}		10	ns	C _{CARD} ≤ 10 pF (1 card)
Clock fall time	t _{THL}		10	ns	C _{CARD} ≤ 10 pF (1 card)
Inputs CMD, DAT (referenced to CLK)					
Input set-up time	t _{ISU}	5		ns	C _{CARD} ≤ 10 pF (1 card)
Input hold time	t _{IH}	5		ns	C _{CARD} ≤ 10 pF (1 card)
Outputs CMD, DAT (referenced to CLK)					
Output Delay time during Data Transfer Mode	t _{ODLY}	0	14	ns	C _L ≤ 40 pF (1 card)
Output Delay time during Identification Mode	t _{ODLY}	0	50	ns	C _L ≤ 40 pF (1 card)

须知

相对于协议要求，输入建立时间要求Tisu为11.5ns。

5.7.4 电路设计建议

无

5.7.5 不使用管脚处理方式

无

5.7.6 应用约束

无

5.8 USB

5.8.1 概述

系统中包含2个USB2.0控制器，分别是Host和DRD（Host+Device），可分别独立出端口。USB0只支持Host模式，USB1支持Host+Device模式。

Hi309a提供2个USB 2.0接口。



5.8.2 接口信号描述

表 5-24 USB 接口信号

功能名称	方向	电平类型	描述
USB_DP0	I/O	Analog 3.3V	USB0端口的D+数据线, host only
USB_DM0	I/O	Analog 3.3V	USB0端口的D-数据线, host only
USB_DP1	I/O	Analog 3.3V	USB1端口的D+数据线
USB_DM1	I/O	Analog 3.3V	USB1端口的D-数据线

5.8.3 接口时序

此处不赘述USB接口时序, 详细信息参见USB相关协议。

5.8.4 不使用管脚处理方式

须知

在USB控制器不使用的時候, 数据管脚USB_DP和USB_DM推荐接地; 3.3V/1.8V电源可以不接。

5.8.5 电路设计建议

无。

5.9 UART

5.9.1 概述

UART (Universal Asynchronous Receiver/Transmitter) 是一个异步串行的通信接口, 主要执行串并转换功能, 将芯片发送到外围设备的数据进行并串转换, 同时将来自外围设备的串行数据进行串并转换。该接口模块遵循RS232串行通信协议。

UART具有以下特点:

- 支持8 bits宽、深度为128的发送FIFO和10 bits宽、深度为128的接收FIFO, 支持FIFO禁止或使能。
- 支持5/6/7/8bit可编程数据位。
- 支持1/1.5/2bit可编程停止位。



- 支持奇、偶校验方式，支持无校验位，支持校验位为软件设定值。
- 支持一个组合中断连接到中断控制器，中断类型包括：接收FIFO中断、发送FIFO中断、接收超时中断、错误中断。
- 支持传送速率可编程，典型传送速率范围为200Mbps/(16*N)（0<N<65536，N为整数）。
- 支持关断UART时钟以降低功耗。
- UART0支持输入重定向传输功能。
- 只支持UART三线模式(包括地线)；
- UART支持主从模式，9 bits UART通信。
- Hi309a提供了3UART：UART0~2，每个UART包括独立的地址和中断线。
- Hi309a的UART0支持4线模式

Hi309a提供3个UART接口。

由于工作频率固定，在支持某些标准的波特率时会有误差，表5-25给出以168.75MHz为工作时钟的误差率。

表 5-25 UART 波特率误差

波特率（bps）	分频比	误差率
9600	1099	-0.03%
57600	183	-0.49%
115200	92	0.45%

说明

UART波特率配置的典型值有：9600bps、14,400bps、19,200bps、38,400bps、57,600bps、76,800bps、115,200bps、230,400bps、460,800bps。

5.9.2 接口信号描述

UART接口信号如表5-26所示。

表 5-26 UART 接口信号

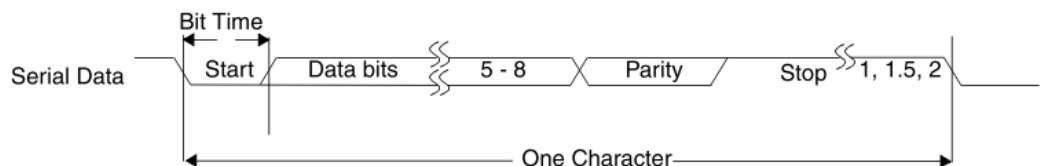
功能名称	方向	电平类型	描述	说明
URXD0	I	LVC MOS	UART0接收信号	-
UTXD0	O	LVC MOS	UART0发送信号	-
URXD01	I	LVC MOS	UART0重定向接收信号	-
UART_CTRL	I	LVC MOS	UART0重定向控制信号	高电平有效
CTS0	I	LVC MOS	UART0发送清除信号	有效时停止发送

功能名称	方向	电平类型	描述	说明
RTS0	O	LVC MOS	UART0发送请求信号	用于指示本设备准备好可接收
URXD1	I	LVC MOS	UART1接收信号	-
UTXD1	O	LVC MOS	UART1发送信号	-
URXD2	I	LVC MOS	UART2接收信号	-
UTXD2	O	LVC MOS	UART2发送信号	-

5.9.3 接口时序

UART接口时序如图5-36所示，其中Bit Time为一个bit的时间宽度，实际跟UART设置的波特率相关。

图 5-36 UART 接口时序图



5.9.4 电路设计建议

UART是一种异步双向串行总线，提供了一种简单有效的数据传输方式，只需要两根或四根数据线互相对接即可。UART的3线模式应用框图如图5-37所示，4线模式应用框图如图5-38所示。

图 5-37 UART 的 3 线模式应用框图

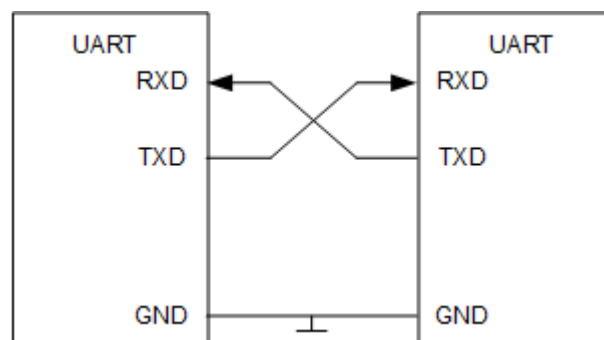
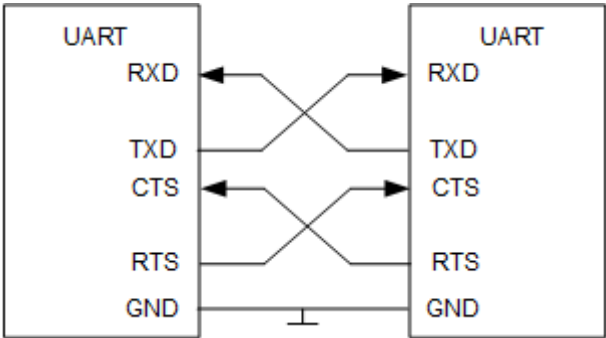




图 5-38 UART 的 4 线模式应用框图



如果UART接口不使用，且复用的其他功能也不使用，管脚悬空处理即可。

5.10 JTAG

5.10.1 概述

JTAG（Joint Test Action Group）是用于板级芯片互联测试的接口，兼容IEEE1149.6标准，JTAG接口是芯片和关键子系统调试的主要控制接口，外部仿真器或者调试工具可通过JTAG接口对芯片调试。

Hi309a提供1个JTAG接口。

JTAG连接模式如表5-27所示。

表 5-27 JTAG Chain 链配置表

配置方式	TEST_MODE1 (管脚)	TEST_MODE0 (管脚)	JTAG 连接模式
1	1	1	DFT TAP、HISS TAP
2	0	0	ARM DAP
3	1	0	M7 DAP
4	0	1	DFT TAP、ARM DAP、M7 DAP、DJTAG TAP、HISS TAP

5.10.2 接口信号描述

JTAG接口共包括5根信号：TCK、TRST、TMS、TDI、TDO。



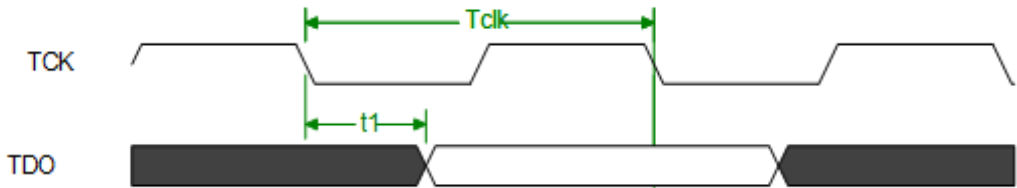
表 5-28 Hi309a JTAG 接口列表

功能名称	类型	描述
TCK	I _{PD}	测试时钟（Test Clock），TDI管脚上的数据由TCK的上升沿采样，TCK下降沿输出到TDO管脚上，该时钟要求必须独立，不得与系统任何时钟相干扰。
TRST	I _{PD}	测试复位（Test Reset），低电平有效。
TMS	I _{PU}	测试模式选择（Test Mode Select），控制TAP Controller的状态跳转。
TDI	I _{PU}	测试数据输入（Test Data Input），测试数据的输入信号。
TDO	O	测试数据输出（Test Data Output），测试数据输出端口，无数据输出时为高阻态，该信号不需要上下拉。

5.10.3 接口时序

输出方向

图 5-39 JTAG 接口输出方向时序



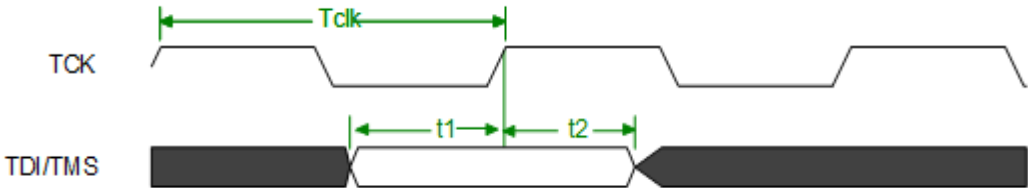
JTAG输出方向接口时序如表5-29所示。

表 5-29 JTAG 输出接口时序参数

参数	符号	最小值	典型值	最大值	单位
TCK时钟周期	Tclk	40	-	-	ns
TCK下降沿到发送数据延时	t1	0	-	25	ns

输入方向

图 5-40 JTAG 接口输入方向时序





JTAG输入接口时序参数如表5-30所示。

表 5-30 JTAG 输入接口时序参数

参数	符号	最小值	典型值	最大值	单位
TCK时钟周期	Tclk	40	-	-	ns
输入数据有效到TCK上升沿的建立时间	t1	30	-	-	ns
TCK上升沿到输入数据无效的保持时间	t2	5	-	-	ns

5.10.4 电路设计建议

无

5.11 SPI

5.11.1 概述

SPI (Serial Peripheral Interface) 控制器，可以作为一个主设备与外部的设备来进行同步串行通信，主要应用于外接触摸屏、SD卡、WIFI和TPM等。支持以下接口协议：

- A Motorola SPI-compatible interface
- A Texas Instruments synchronous serial interface
- A national Semiconductor Microwire interface

Hi309a提供4个SPI接口。

SPI接口具有以下特性：

- 支持串行主设备操作。
- 提供4个SPI控制器。
- 支持可编程数据传输速率，传输速率配置范围为200MHz/N ($2 \leq N \leq 65534$ ，偶数)，最高传输速率不低于25MHz。
- 支持主操作，每个SPI控制器支持最大2个Slave。
- 支持接口时钟频率可编程。
- 收/发为分开的16bit宽、深度为32的FIFO（发送FIFO和接收FIFO各一个），支持FIFO禁止或使能。
- 串行数据序列为先MSB，后LSB。
- 支持三种帧格式：Motorola SPI、National Microwire、TI SSP。
- 支持各种帧格式静态切换。
- 数据帧大小可编程：4bit ~ 16bit。
- 支持每个片选的有效极性可配置。



- 支持一个组合中断连接到中断控制器，中断类型包括：接收FIFO中断、发送FIFO中断、传输冲突中断。
- 支持初始中断状态查询和屏蔽后中断状态查询。
- 支持关断SPI接口时钟以节省功耗。
- 内部提供环回测试模式。
- Motorola SPI帧格式时，串行时钟相位可配置；SPI传输时数据跟时钟的关系支持软件可配。

须知

对于数据帧大于32bits的，可采用将SPI CS信号接管的方式来实现。

5.11.2 接口信号描述

SPI接口信号如表5-31所示。

表 5-31 SPI 接口信号

名称	方向	电平类型	描述
SPICK0	O	LVC MOS	SPI0 clock
SPIDO0	O	LVC MOS	SPI0接口输出数据信号
SPIDI0	I	LVC MOS	SPI0接口输入数据信号
SPICSN0_0	O	LVC MOS	SPI0片选信号0
SPICSN0_1	O	LVC MOS	SPI0片选信号1
SPICK1	O	LVC MOS	SPI1 clock
SPIDO1	O	LVC MOS	SPI1接口输出数据信号
SPIDI1	I	LVC MOS	SPI1接口输入数据信号
SPICSN1_0	O	LVC MOS	SPI1片选信号0
SPICK2	O	LVC MOS	SPI2 clock
SPIDO2	O	LVC MOS	SPI2接口输出数据信号
SPIDI2	I	LVC MOS	SPI2接口输入数据信号
SPICSN2_0	O	LVC MOS	SPI2片选信号0
SPICSN2_1	O	LVC MOS	SPI2片选信号1
SPICK3	O	LVC MOS	SPI3 clock
SPIDO3	O	LVC MOS	SPI3接口输出数据信号
SPIDI3	I	LVC MOS	SPI3接口输入数据信号



名称	方向	电平类型	描述
SPICSN3_0	O	LVC MOS	SPI3片选信号0
SPICSN3_1	O	LVC MOS	SPI3片选信号1

5.11.3 接口时序

5.11.3.1 SPI 接口时序

图 5-41 SPI 接口时序图

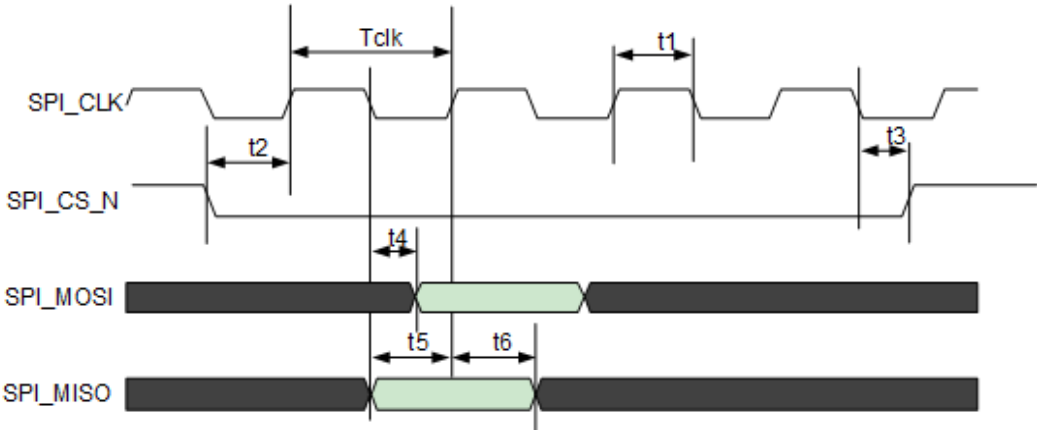


表 5-32 SPI 接口时序参数

参数	符号	最小值	典型值	最大值	单位
SPI_CLK时钟周期	Tclk	20	-	-	ns
SPI_CLK高电平宽度	t1	0.4*Tclk	0.5*Tclk	0.6*Tclk	ns
SPI_CS_N下降沿到SPI_CLK上升沿的建立时间	t2	15	-	-	ns
SPI_CLK下降沿到SPI_CS_N上升沿到的保持时间	t3	10	-	-	ns
SPI_CLK下降沿到SPI_MOSI发送数据有效的延时 (SPI0)	t4	-1	-	2	ns
SPI_MISO有效到SPI_CLK上升沿的建立时间 (SPI0)	t5	6	-	-	ns
SPI_CLK上升沿到SPI_MISO无效的保持时间 (SPI0)	t6	2.5	-	-	ns



参数	符号	最小值	典型值	最大值	单位
SPI_CLK下降沿到SPI_MOSI 发送数据有效的延时 (SPI1)	t4	-1	-	1.1	ns
SPI_MISO有效到SPI_CLK上 升沿的建立时间 (SPI1)	t5	5	-	-	ns
SPI_CLK上升沿到SPI_MISO 无效的保持时间 (SPI1)	t6	1	-	-	ns
SPI_CLK下降沿到SPI_MOSI 发送数据有效的延时 (SPI2)	t4	-1	-	2.2	ns
SPI_MISO有效到SPI_CLK上 升沿的建立时间 (SPI2)	t5	6	-	-	ns
SPI_CLK上升沿到SPI_MISO 无效的保持时间 (SPI2)	t6	2	-	-	ns
SPI_CLK下降沿到SPI_MOSI 发送数据有效的延时 (SPI3)	t4	-1	-	1.2	ns
SPI_MISO有效到SPI_CLK上 升沿的建立时间 (SPI3)	t5	5	-	-	ns
SPI_CLK上升沿到SPI_MISO 无效的保持时间 (SPI3)	t6	1	-	-	ns
SPI_CLK下降沿到SPI_MOSI 发送数据有效的延时 (HISS_SPI)	t4	-3.5	-	2.4	ns
SPI_MISO有效到SPI_CLK上 升沿的建立时间 (HISS_SPI)	t5	9.7	-	-	ns
SPI_CLK上升沿到SPI_MISO 无效的保持时间 (HISS_SPI)	t6	3	-	-	ns

5.11.4 电路设计建议

无

5.12 ESPI

5.12.1 概述

ESPI（扩展串行总线）是基于SPI总线协议和AXI协议，面向SOC系统芯片应用开发的占用管脚少、可以满足功能、性能和可靠性要求的实现片间资源互访的总线。

- ESPI分为master和slave两种工作模式。
 - espi_master模式，通过AXI slave口接收AXI master口发送的AXI读写命令转换成ESPI包格式并通过ESPI接口实现对接器件的远端访问。
 - espi_slave模式，解析ESPI主控发送的命令包，转换成相应的AXI命令，通过AXI master接口完成芯片寄存器的访问，该模式还可以达到启动芯片的目的。
- 支持ESPI master接口，支持1bit/2bit/4bit/8bit数据位宽。
- 支持ESPI slave接口，支持1bit/2bit/4bit/8bit数据位宽。
- 支持APB3.0 Slave接口用于寄存器配置。
- 支持1个AMBA 3 AXI master接口，数据位宽64bit。
- 支持1个AMBA 3 AXI slave接口，数据位宽64bit。
- Master模式支持ESPI命令包的产生。
- Slave模式支持ESPI命令包格式的解析。
- 支持CRC校验。
- 支持错误检测上报和超时检测上报。
- Hi309a提供2路ESPI口。

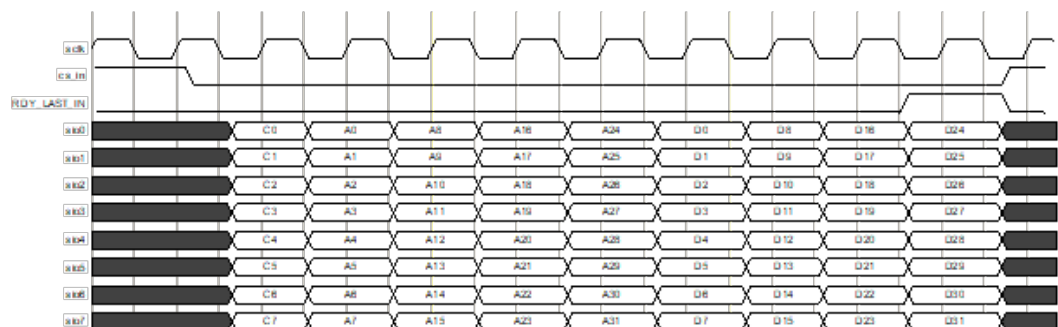
5.12.2 接口信号描述

Hi309a ESPI接口信号参见表1-22。

5.12.3 接口时序

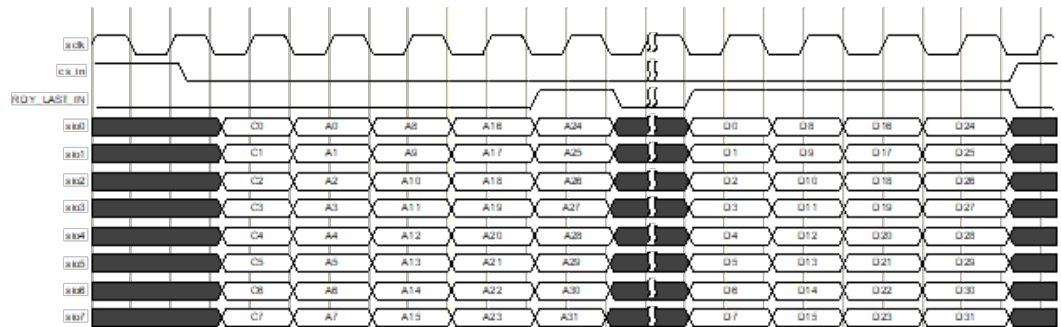
5.12.3.1 ESPI 接口时序（8 线写模式，CRC 不使能，以 32bit 为例）

图 5-42 ESPI 接口写时序图（8bit 模式，CRC 不使能）



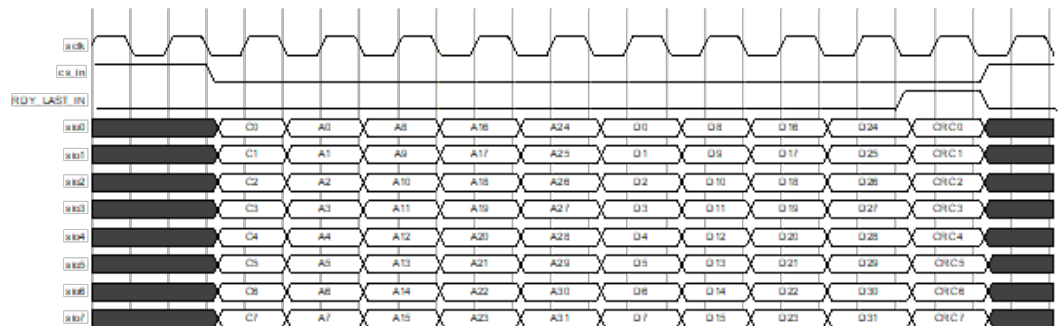
5.12.3.2 ESPI 接口时序（8 线读模式，CRC 不使能，以 32bit 为例）

图 5-43 ESPI 接口读时序图（8bit 模式，CRC 不使能）



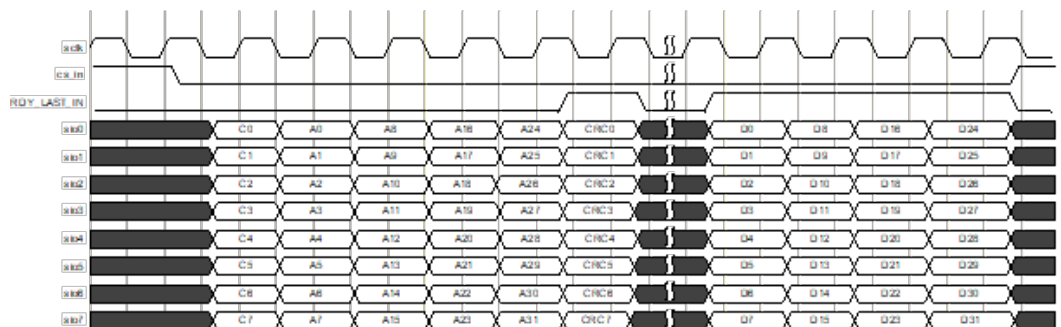
5.12.3.3 ESPI 接口时序（8 线写模式，CRC 使能，以 32bit 为例）

图 5-44 ESPI 接口写时序图（8bit 模式，CRC 使能）



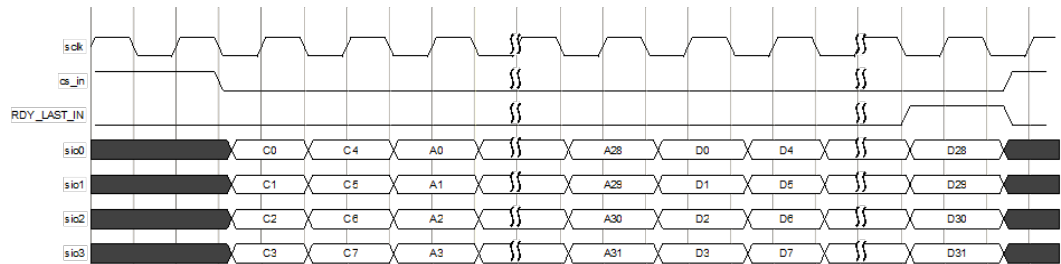
5.12.3.4 ESPI 接口时序（8 线读模式，CRC 使能，以 32bit 为例）

图 5-45 ESPI 接口读时序图（8bit 模式，CRC 使能）



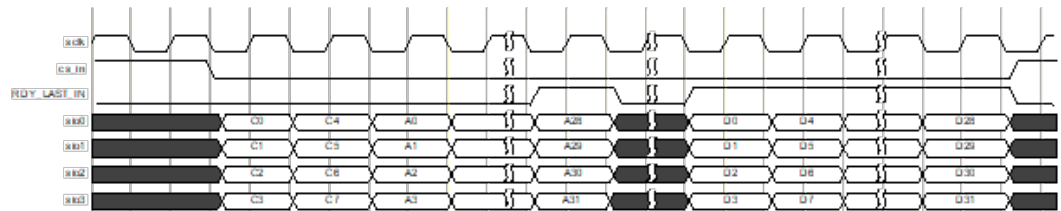
5.12.3.5 ESPI 接口时序（4 线写模式，CRC 不使能，以 32bit 为例）

图 5-46 ESPI 接口写时序图（4bit 模式，CRC 不使能）



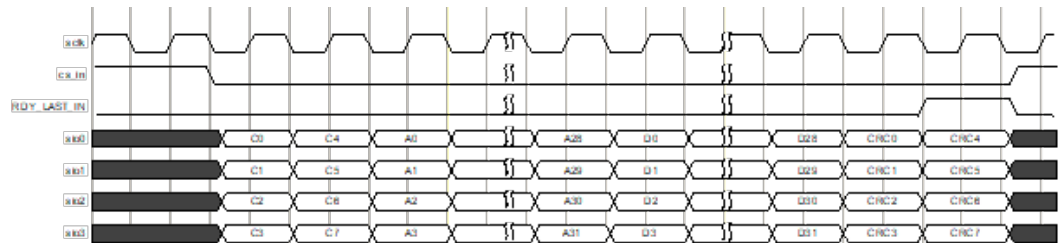
5.12.3.6 ESPI 接口时序（4 线读模式，CRC 不使能，以 32bit 为例）

图 5-47 ESPI 接口读时序图（4bit 模式，CRC 不使能）



5.12.3.7 ESPI 接口时序（4 线写模式，CRC 使能，以 32bit 为例）

图 5-48 ESPI 接口写时序图（4bit 模式，CRC 使能）



5.12.3.8 ESPI 接口时序（4 线读模式，CRC 使能，以 32bit 为例）

图 5-49 ESPI 接口读时序图（4bit 模式，CRC 使能）





5.12.3.9 ESPI 接口时序要求

1. MASTER非调相模式：

表 5-33 MASTER 非调相模式时序约束

参数	符号	最小值	典型值	最大值	单位
ESPI_CLK时钟周期	Tclk	20	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA发送数据有效 的延时（ESPI0）	Tco	-0.5	-	3	ns
ESPI_DATA有效到 ESPI_CLK时钟沿的建立时 间（ESPI0）	Tsu	5.3	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA无效的保持时 间（ESPI0）	Th	1.9	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA发送数据有效 的延时（ESPI1）	Tco	-0.5	-	3	ns
ESPI_DATA有效到 ESPI_CLK时钟沿的建立时 间（ESPI1）	Tsu	5	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA无效的保持时 间（ESPI1）	Th	1.5	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA发送数据有效 的延时（ESPI2）	Tco	-0.3	-	3	ns
ESPI_DATA有效到 ESPI_CLK时钟沿的建立时 间（ESPI2）	Tsu	5.1	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA无效的保持时 间（ESPI2）	Th	1.5	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA发送数据有效 的延时（ESPI3）	Tco	-1	-	3	ns
ESPI_DATA有效到 ESPI_CLK时钟沿的建立时 间（ESPI3）	Tsu	5.4	-	-	ns



参数	符号	最小值	典型值	最大值	单位
ESPI_CLK时钟沿到 ESPI_DATA无效的保持时 间（ESPI3）	Th	1.5	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA发送数据有效 的延时（ESPI4）	Tco	-0.5	-	3	ns
ESPI_DATA有效到 ESPI_CLK时钟沿的建立时 间（ESPI4）	Tsu	5.1	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA无效的保持时 间（ESPI4）	Th	1.5	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA发送数据有效 的延时（ESPI5）	Tco	-0.5	-	3	ns
ESPI_DATA有效到 ESPI_CLK时钟沿的建立时 间（ESPI5）	Tsu	5.5	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA无效的保持时 间（ESPI5）	Th	1.5	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA发送数据有效 的延时（ESPI6）	Tco	-0.5	-	3	ns
ESPI_DATA有效到 ESPI_CLK时钟沿的建立时 间（ESPI6）	Tsu	5.5	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA无效的保持时 间（ESPI6）	Th	1.5	-	-	ns

2. MASTER调相模式：

表 5-34 MASTER 调相模式时序约束

参数	符号	最小值	典型值	最大值	单位
ESPI_CLK时钟周期	Tclk	20	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA发送数据有效 的延时（ESPI0）	Tco	-0.5	-	3	ns



参数	符号	最小值	典型值	最大值	单位
ESPI_DATA有效到 ESPI_CLK时钟沿的建立时 间 (ESPI0)	Tsu	4.6	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA无效的保持时 间 (ESPI0)	Th	1.3	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA发送数据有效 的延时 (ESPI1)	Tco	-0.5	-	3	ns
ESPI_DATA有效到 ESPI_CLK时钟沿的建立时 间 (ESPI1)	Tsu	5	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA无效的保持时 间 (ESPI1)	Th	1.7	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA发送数据有效 的延时 (ESPI2)	Tco	-0.3	-	3	ns
ESPI_DATA有效到 ESPI_CLK时钟沿的建立时 间 (ESPI2)	Tsu	5.2	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA无效的保持时 间 (ESPI2)	Th	1.8	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA发送数据有效 的延时 (ESPI3)	Tco	-1	-	3	ns
ESPI_DATA有效到 ESPI_CLK时钟沿的建立时 间 (ESPI3)	Tsu	5.4	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA无效的保持时 间 (ESPI3)	Th	1.7	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA发送数据有效 的延时 (ESPI4)	Tco	-0.5	-	3	ns
ESPI_DATA有效到 ESPI_CLK时钟沿的建立时 间 (ESPI4)	Tsu	4.8	-	-	ns



参数	符号	最小值	典型值	最大值	单位
ESPI_CLK时钟沿到 ESPI_DATA无效的保持时 间（ESPI4）	Th	1.6	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA发送数据有效 的延时（ESPI5）	Tco	-0.5	-	3	ns
ESPI_DATA有效到 ESPI_CLK时钟沿的建立时 间（ESPI5）	Tsu	5.5	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA无效的保持时 间（ESPI5）	Th	1.4	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA发送数据有效 的延时（ESPI6）	Tco	-0.5	-	3	ns
ESPI_DATA有效到 ESPI_CLK时钟沿的建立时 间（ESPI6）	Tsu	5.5	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA无效的保持时 间（ESPI6）	Th	1.4	-	-	ns

3. ESPI3 SLAVE模式：

表 5-35 ESPI3 SLAVE 模式时序约束

参数	符号	最小值	典型值	最大值	单位
ESPI_CLK时钟周期	Tclk	20	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA发送数据有效 的延时（ESPI0）	Tco	2.5	-	6	ns
ESPI_DATA有效到 ESPI_CLK时钟沿的建立时 间（ESPI0）	Tsu	2	-	-	ns
ESPI_CLK时钟沿到 ESPI_DATA无效的保持时 间（ESPI0）	Th	1	-	-	ns

5.13 I2C



5.13.1 概述

I2C（The Inter-Integrated Circuit）控制器实现标准I2C主设备功能，兼容Philips I2C总线协议，可完成对I2C总线上的从设备的数据发送和接收。

Hi309a提供了8个I2C接口，分别为I2C0~I2C7。

I2C控制器具有以下特点：

- 支持标准I2C总线协议。
- 支持主设备或从设备操作。
- 支持7bit和10bit从设备地址。
- 支持可编程时钟，可实现不同通讯速率（100K/400K/1M）。
- 支持以中断方式和查询方式进行数据搬运。
- I2C_DELAY功能可将I2C_SDA信号输出延迟I2Cx_SDA_HOLD个I2C的工作周期。
- 支持CLK_STRETCHING功能（即用时钟同步机制作为握手）。
- 支持接口超时保护，防挂死处理。
- 每个I2C接口支持寻址8个device。
- 支持读写各256深的FIFO。
- TX FIFO发送为空时，控制器HOLD SCL等待新数据写入控制器。
- 支持SCL和SDA的滤波配置。

5.13.2 接口信号描述

Hi309a I2C接口信号如表5-36所示。

表 5-36 Hi309a I2C 接口信号

功能名称	方向	电平类型	描述
SDA0	I/O	LVC MOS	I2C0数据信号，OD门。
SCL0	I/O	LVC MOS	I2C0时钟信号，OD门。
SDA1	I/O	LVC MOS	I2C1数据信号，OD门。
SCL1	I/O	LVC MOS	I2C1时钟信号，OD门。
SDA2	I/O	LVC MOS	I2C2数据信号，OD门。
SCL2	I/O	LVC MOS	I2C2时钟信号，OD门。
SDA3	I/O	LVC MOS	I2C3数据信号，OD门。
SCL3	I/O	LVC MOS	I2C3时钟信号，OD门。
SDA4	I/O	LVC MOS	I2C4数据信号，OD门。
SCL4	I/O	LVC MOS	I2C4时钟信号，OD门。
SDA5	I/O	LVC MOS	I2C5数据信号，OD门。
SCL5	I/O	LVC MOS	I2C5时钟信号，OD门。

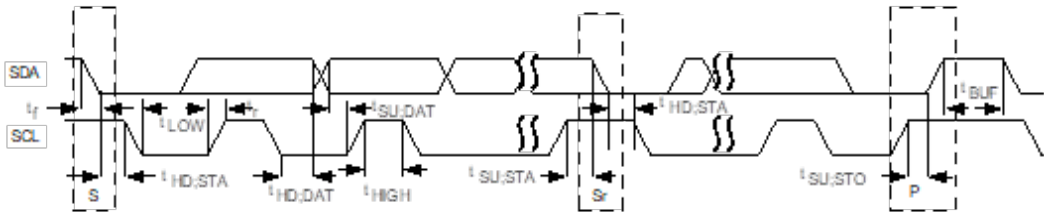


功能名称	方向	电平类型	描述
SDA6	I/O	LVC MOS	I2C6数据信号，OD门。
SCL6	I/O	LVC MOS	I2C6时钟信号，OD门。
SDA7	I/O	LVC MOS	I2C7数据信号，OD门。
SCL7	I/O	LVC MOS	I2C7时钟信号，OD门。
SDA8	I/O	LVC MOS	I2C8数据，是OD门。
SCL8	I/O	LVC MOS	I2C8时钟，是OD门。
SDA9	I/O	LVC MOS	I2C9数据，是OD门。
SCL9	I/O	LVC MOS	I2C9时钟，是OD门。

5.13.3 接口时序

I2C传输时序如图5-50所示。

图 5-50 I2C 传输时序图



I2C接口参数列表如表5-37所示。

表 5-37 I2C 接口时序参数表

参数	符号	标准模式 (100Kb/s)		快速模式 (400Kb/s)		高速模式 (3.4Mb/s)		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
SCL时钟频率	f_{SCL}	0	100	0	40	0	34000	kHz
启动保持时间	$t_{HD;STA}$	4.0	-	0.6	-	0.16	-	μs
SCL低电平周期	t_{LOW}	4.7	-	1.3	-	0.16	-	μs
SCL高电平周期	t_{HIGH}	4.0	-	0.6	-	0.06	-	μs



参数	符号	标准模式 (100Kb/s)		快速模式 (400Kb/s)		高速模式 (3.4Mb/s)		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
启动建立时间	$t_{SU;STA}$	4.7	-	0.6	-	0.16	-	μs
数据保持时间	$t_{HD;DAT}$	0	3.45	0	0.9	0	0.07	μs
数据建立时间	$t_{SU;DAT}$	250	-	100	-	10	-	ns
SDA、SCL上升时间	t_r	-	1000	$20+0.1C_b$	300	10	40	ns
SDA、SCL下降时间	t_f	-	300	$20+0.1C_b$	300	10	40	ns
结束建立时间	$t_{SU;STO}$	4.0	-	0.6	-	0.16	-	μs
开始与结束之间的总线释放时间	$t_{BU;F}$	4.7	-	1.3	-	0.1	-	μs
总线负载	C_b	-	400	-	400	-	400	pF
低电平噪声容限	V_{nL}	0.1V _{DD}	-	0.1V _{DD}	-	0.1V _{DD}	-	V
高电平噪声容限	V_{nH}	0.2V _{DD}	-	0.2V _{DD}	-	0.2V _{DD}	-	V

5.13.4 电路设计建议

无

5.14 RTC

5.14.1 概述

RTC模块通过I2C接口和1PPS_TOD单线时间接口，进行秒脉冲和80bit时间戳的传输。

Hi309a提供1个RTC接口。

5.14.2 接口信号描述

Hi309a支持一组I2C接口和1PPS_TOD单线时间接口。



表 5-38 RTC 模块接口信号

功能名称	方向	电平类型	描述
RTC_SDA	I/O	LVC MOS	网络RTC的SDA信号（类I2C接口）
RTC_SCL	I/O	LVC MOS	网络RTC的SCL信号（类I2C接口）
CLK_1PPS	I/O	LVC MOS	1PPS秒脉冲信号（CLK_1PPS）
1PPS_TES T_OUT	O	LVC MOS	1588的1pps测试输出信号（1pps_test_out）

5.14.3 接口时序

5.14.3.1 1PPS+I2C

芯片外部时钟板通过I2C接口下发写命令，将80bit时间戳和16bit CRC校验位下发给RTC，RTC待时钟板通过1PPS管脚下发的秒脉冲到来时更新本地时间计数器。I2C接口是上送和下发时戳的通道，该接口时钟速率范围为100kHz~2MHz，最高速率高于常见I2C的400kHz。其他操作和普通I2C相同。I2C接口传输时序图请参见“[接口时序](#)”章节。

CLK_1PPS时间信息秒帧头支持2种格式：整秒秒帧头和2kHz调制的秒帧头。

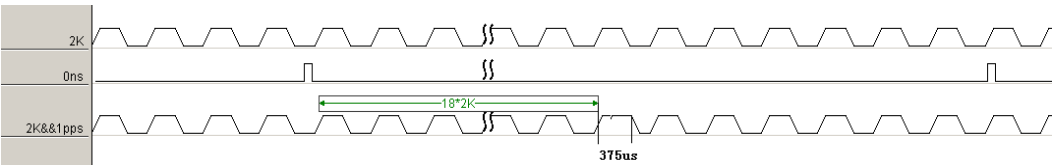
整秒秒帧头：RTC单元检测该信号的上升沿，作为时间校准时刻。

图 5-51 整秒秒帧头图



2kHz调制秒帧头：在整秒时间后间隔18个2k时钟周期，产生指示1pps信息的脉冲。正常的2k时钟占空比是50%，而包含1pps信息的占空比是3:1，在375μs的下降沿处产生1pps。

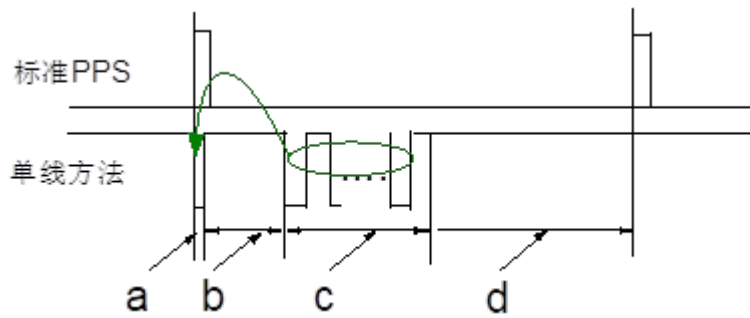
图 5-52 2kHz 调制图



5.14.3.2 1PPS+TOD

芯片外部时钟板通过复用1PPS接口，按照1PPS+TOD协议下发秒脉冲和时间戳，将秒脉冲和48bit秒信息及8bit CRC校验位下发给RTC，由RTC完成协议处理。该方法以串口为基础，具体格式如[图5-53](#)所示，其波特率为1000000bps，串口的起始停止各一位，无校验位。

图 5-53 标准 PPS 信号与 P300 内部 PPS 信号的时序对应关系



单线信号由4段组成：a（PPS段）+ b（等待段）+ c（串口信息段）+ d（空闲段）。

- PPS段设计：

图5-53中的a段，采用下降沿的脉冲的方式，脉冲的下降沿和系统PPS的上升沿保持对齐。脉宽 = $(1/2) * (1/1M) = 0.5\mu s$ 。接收端检测a段宽度，偏差>10%，认为无效。

主控板下发PPS相位与上级标准时间0延时（测量点在背板上）。PPS脉冲相位误差，跟RTC计数时钟频率相关，500M的时钟，最大相位误差2ns。各业务板需要的延时补偿在业务板完成，包含CITD的输出口的延时补偿（只支持开局测量时补偿）。

1PPS+TOD输入口延时补偿在时钟模块完成。CITD板接口输入1PPS+TOD信号转换为标准的1PPS复合信号，上背板送主控板时钟模块，考虑到CITD无与输入1PPS+TOD接口同源的高频时钟，延时补偿需要在时钟模块完成。

- 等待段：

图5-53中的b段，为了让下游设备能够很好地区分PPS段和串口信息段，需要在两者之间添加等待段。等待段保持高电平，等待段的持续的时长为2个串口帧周期 = $2 * (1/1M) * (1+8+1) = 20\mu s$ 。『注：1:起始位 + 8:数据位 + 1:停止位』。

- 串口信息段：

图5-53中的c段，串口的详细格式：1位起始位（低电平）+ 8位数据位 + 1位停止位（高电平）。串口信息段的持续的时长为16个串口帧周期 = $16 * (1/1M) * (1+8+1) = 160\mu s$ 。

- 空闲段：

图5-53中的d段，由于发送数据的间隔较长（为1秒），同时为了很好地区分串口信息段和下一个PPS段，需要插入空闲段。空闲段的为持续高电平，持续的时长（取决于前三个段的长度）= $1s - 1/2M - 2 * (1/1M) * (1+8+1) - 16 * (1/1M) * (1+8+1) = 999.8195ms$ 。



须知

- PPS段之前的高电平要求至少40 μ s。
- PPS段的0.5us帧头脉宽抖动阈值，当实际的脉宽与0.5us的偏差超过这个阈值，认为pps帧头不正确。
- 等待段的20us高电平脉宽抖动阈值寄存器可配。当实际的高电平宽度与20us的偏差超过这个阈值，认为此pps格式不正确。
- 相邻pps间距抖动阈值寄存器可配。当间距偏离1s的量超过此阈值，认为1pps丢失。

5.14.4 电路设计建议

无

5.14.5 不使用管脚处理方式

无

5.14.6 应用约束

无

5.15 PMBUS

5.15.1 概述

Hi309a支持PMBus1.2电源管理总线接口。PMBUS通过与外部的电源芯片对接，用于调节Hi309a芯片AVS电源域电压。一个PMBUS接口一共有3个信号管脚，表5-39中列出了PMBUS接口的信号。

Hi309a提供4个PMBus接口（PMBUS0~PMBUS3）。

5.15.2 接口信号描述

Hi309a支持PMBus1.2接口标准。PMBUS控制器支持快速模式，管脚PMBCLK提供100kHz ~ 400kHz的时钟。管脚PMBDATA是Hi309a与PMBus1.2 PMU芯片之间的串行数据通道，用于配置信息和状态信息的交互。PMBALERT是PMBus1.2 PMU芯片的告警输入管脚。

表 5-39 PMBUS 接口信号列表

功能名称	方向	电平类型	描述
PMBUS{0..33}_CLK	IO	LVC MOS	OD $\bar{I}$ 门(open drain)，PMBUS0协议的时钟（这个PMBUS时钟管脚和下面的数据管脚用于与支持PMBUS协议的电源管理芯片连接，即PMBUS和支持IMVP协议的电源管理芯片只会选择其中一种）。



功能名称	方向	电平类型	描述
PMBUS{0..33}_DATA	IO	LVC MOS	OD门(open drain)，PMBUS0协议的数据。
PMBUS1_ALERT	I	LVC MOS	PMBUS电源告警信号，仅Hi309a支持。
PMBUS3_ALERT	I	LVC MOS	PMBUS电源告警信号，仅Hi309a支持。

单板硬件设计注意点：PMBUS接口需要在外部增加上拉。

可由软件通过PMBUS配置电压。

5.15.3 接口时序

接口时序请参见“接口时序”。

5.16 MDIO

5.16.1 概述

MDIO是对外部PHY芯片的接口控制模块，软件可以通过配置MDIO相应寄存器实现对PHY芯片内部寄存器的读写，最终实现对PHY芯片的控制和管理。例如：复位控制、自环控制、速度选择、双工选择、冲突测试、自协商使能、物理层状态获取等等。

Hi309a提供3个MDIO接口

MDIO接口具有以下特性：

- 支持IEEE 802.3协议中第22章描述的功能、第45章描述的功能。
- 支持XGE/GE PHY。
- 支持MDIO接口时序，MDIO时钟频率为2MHz~20MHz。
- 支持对PHY内部寄存器的读写访问，PHY地址、寄存器地址等可配置。

说明

IEEE802.3协议第45章节：Management Data Input/Output (MDIO) Interface。

5.16.2 接口信号描述

Hi309a MDIO接口信号如表5-40所示。

表 5-40 Hi309a MDIO 接口信号

功能名称	方向	电平类型	描述
MDIO0_CLK	O	LVC MOS	MDIO0时钟信号
MDIO0_DATA	I/O	LVC MOS	MDIO0数据信号

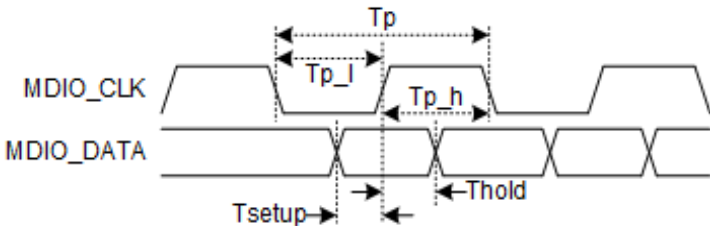


功能名称	方向	电平类型	描述
MDIO1_CLK	O	LVC MOS	MDIO1时钟信号
MDIO1_DATA	I/O	LVC MOS	MDIO1数据信号
MDIO2_CLK	O	LVC MOS	MDIO2时钟信号
MDIO2_DATA	I/O	LVC MOS	MDIO2数据信号
MDIO3_CLK	O	LVC MOS	MDIO3时钟信号
MDIO3_DATA	I/O	LVC MOS	MDIO3数据信号
MDIO4_CLK	O	LVC MOS	MDIO4时钟信号
MDIO4_DATA	I/O	LVC MOS	MDIO4数据信号

5.16.3 接口时序

MDIO接口读时序如图5-54所示。

图 5-54 MDIO 接口读时序图



MDIO接口读时序参数如表5-41所示。

表 5-41 MDIO 接口读时序参数

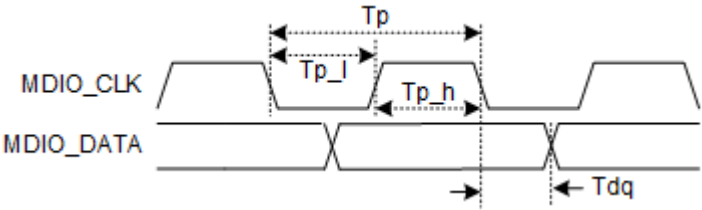
符号	参数	最小值	最大值	单位
T_p	MDIO_CLK时钟周期	50	50	ns
T_{p_h}	MDIO_CLK的高电平宽度	0.375	0.625	cycle
T_{p_l}	MDIO_CLK的低电平宽度	0.375	0.625	cycle
T_{setup} (MDIO0)	MDIO_DATA相对MDIO_CLK建立时间	15	-	ns
T_{hold} (MDIO0)	MDIO_DATA相对MDIO_CLK保持时间	4	-	ns



符号	参数	最小值	最大值	单位
Tsetup (MDIO1)	MDIO_DATA相对MDIO_CLK建立时间	10	-	ns
Thold (MDIO1)	MDIO_DATA相对MDIO_CLK保持时间	2.5	-	ns
Tsetup (MDIO2)	MDIO_DATA相对MDIO_CLK建立时间	7	-	ns
Thold (MDIO2)	MDIO_DATA相对MDIO_CLK保持时间	1.5	-	ns
Tsetup (MDIO3)	MDIO_DATA相对MDIO_CLK建立时间	10.5	-	ns
Thold (MDIO3)	MDIO_DATA相对MDIO_CLK保持时间	2.5	-	ns
Tsetup (MDIO4)	MDIO_DATA相对MDIO_CLK建立时间	9	-	ns
Thold (MDIO4)	MDIO_DATA相对MDIO_CLK保持时间	1.5	-	ns

MDIO接口写时序如图5-55所示。

图 5-55 MDIO 接口写时序图



MDIO接口写时序参数如表5-42所示。



表 5-42 MDIO 接口写时序参数

符号	参数	最小值	最大值	单位
Tp	MDIO_CLK时钟周期	400	400	ns
Tp_h	MDIO_CLK的高电平宽度	0.375	0.625	cycle
Tp_l	MDIO_CLK的低电平宽度	0.375	0.625	cycle
Tdq (MDIO0)	MDIO_DATA相对MDIO_CLK延时	4	13.5	ns
Tdq (MDIO1)	MDIO_DATA相对MDIO_CLK延时	3.5	10	ns
Tdq (MDIO2)	MDIO_DATA相对MDIO_CLK延时	3.5	7	ns
Tdq (MDIO3)	MDIO_DATA相对MDIO_CLK延时	4	11	ns
Tdq (MDIO4)	MDIO_DATA相对MDIO_CLK延时	3.5	10	ns

5.16.4 电路设计建议

MDIO接口与外部PHY连接时，只需将两者的时钟线和数据线分别对接即可，建议对数据线进行上拉处理，同时保证外部PHY MDIO的最大接口速率和主芯片的速率匹配上。

5.17 TDM (PMC)

5.17.1 概述

PMC (Phosphor Multi-channel Controller) 是基于TDM总线传输HDLC报文的多通道控制器，实现时分复用和HDLC协议处理。PMC最大可以支持128个接收通道和128个发送通道。每个通道可以独立地配置参数。

PMC使用描述符管理HDLC报文的存储。CPU通过中断和描述符获取当前报文的信息，同时通过配置描述符来完成HDLC报文的传输。

TDM总线可以灵活地配置各种时分复用方式，提供满足系统要求的复用方式。TDM时隙分配到HDLC通道映射都可以根据应用场景进行配置，构建业务传输通道。

Hi309a中集成2个PMC控制器，通过功能组合，可以支持2路16M的TDM通道，或者2路32M的TDM通道。

每个PMC具有以下特性：

- 芯片提供2个TDM总线接口：仅支持4线模式。内部集成了4个PMC模块。在总线数据传输速率为8.192Mbps、16.384Mbps时，有PMC0/2实现两个TDM总线接口功能。当传输速率在32.768Mbps时，由PMC0/1组合实现一个TDM接口的传输，PMC2/3组合实现另一个TDM接口的传输。



- 仅支持从芯片外部提供总线时钟和帧同步信号。
- 支持总线数据传输速率为8.192Mbps、16.384Mbps或32.768Mbps。其中32.768Mbps由两个PMC模块工作在16.384Mbps下拼接实现。

说明

传输速率在32.768Mbps时，PMC管脚传输的时序为非标准TDM时序，需要对端逻辑支持。使用时请参见“[接口时序](#)”。

- 支持TDM总线单路接收/发送各自最大128个通道进行数据传输。
- 支持TDM总线每个时隙的有效数据位数可配置：0、1、2、4、6、8（单位：bit）。
- 支持外环回模式和基于通道的内环回模式。在环回模式下，TDM总线必须工作在4线模式，即发送和接收方向的时序相同，时隙分配也一致的模式。
- 支持帧同步信号（FSP）的异常检测，并通过寄存器记录错误信息，供给CPU查询。在总线的FSP信号恢复正常后，逻辑可以自动检测到，并重新完成帧同步，为数据传输做好准备。
- 支持HDLC协议处理。
 - 发送支持帧头/尾标志的生成和插入。
 - 接收支持帧头/尾标志的删除。
 - 发送支持FCS（0位/16位/32位可配）的生成插入，使用16/32位CRC-CCITT。
 - 接收支持FCS（0位/16位/32位可配）的校验删除。
 - 发送支持"0"插入。
 - 接收支持"0"删除。
 - 发送时支持空闲时插入“flag”或“idle”可配。
 - 接收支持帧间共享一个“flag”。
 - 接收支持“flag”共享一个0。
 - 支持帧长检测，包括超长帧和超短帧检测。
 - 支持Abort帧的发送和接收。
 - 支持上行时中止传输和当前帧结束后中止传输。
 - 支持自动过滤小于1个Byte的HDLC碎帧（该帧长不包括CRC字节）。
- 支持单路128个HDLC接收通道和128个发送通道，每个通道可以单独使能和禁止。
- 支持中断方式和查询方式，便于软件完成报文的处理。
 - 接收超长帧中断。
 - 发送帧完成中断。
 - 接收帧完成中断。
 - 发送BD没有准备好中断。
 - 接收BD没有准备好中断。
 - FIFO溢出中断。
 - 总线返回中断。
 - 偶校验错误中断。
- 支持RAM的偶校验。
- Hi309a在芯片内部通过在TDM接口增加逻辑，使用两个16M模式下的TDM实现32M的特性。（该规格不支持TDM内环回，以及端口直接环回测试）



5.17.2 接口信号描述

表 5-43 TDM 接口信号

功能名称	方向	电平类型	描述
TDM0_CLK	I	1V8 LVCMOS	TDM0接收方向总线时钟信号，在4线模式下，发送方向也使用该时钟信号。
TDM0_RX	I	1V8 LVCMOS	TDM0接收方向帧同步信号，在4线模式下，发送方向也使用该帧同步信号。
TDM0_TX	I	1V8 LVCMOS	TDM0接收数据线。
TDM0_FSP	O	1V8 LVCMOS	TDM0发送数据线。
TDM1_CLK	I	1V8 LVCMOS	TDM1接收方向总线时钟信号，在4线模式下，发送方向也使用该时钟信号。
TDM1_RX	I	1V8 LVCMOS	TDM1接收方向帧同步信号，在4线模式下，发送方向也使用该帧同步信号。
TDM1_TX	I	1V8 LVCMOS	TDM1接收数据线。
TDM1_FSP	O	1V8 LVCMOS	TDM1发送数据线。
TDM2_CLK	I	1V8 LVCMOS	TDM2接收方向总线时钟信号，在4线模式下，发送方向也使用该时钟信号。
TDM2_RX	I	1V8 LVCMOS	TDM2接收方向帧同步信号，在4线模式下，发送方向也使用该帧同步信号。
TDM2_TX	I	1V8 LVCMOS	TDM2发送数据线。
TDM2_FSP	O	1V8 LVCMOS	TDM2接收数据线。

5.17.3 接口时序

Hi309a芯片的TDM的时序要求如[图5-56](#)所示。

图 5-56 TDM 的时序要求图

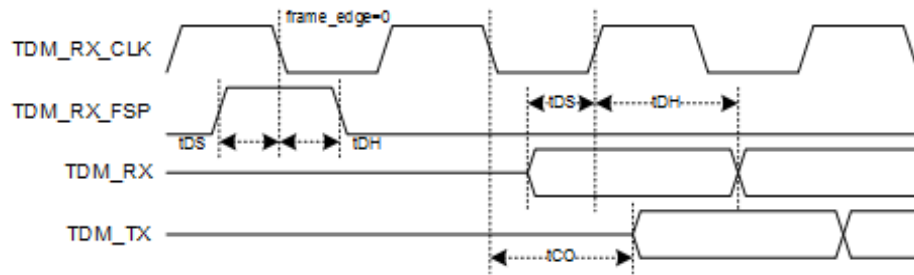


表 5-44 TDM 的时序要求表

参数	符号	最小值	最大值	单位
数据建立时间	tDS	8	-	ns
数据保持时间	tDH	3.1	-	ns
数据输出延迟	tCO	-3.2	8	ns

表 5-45 TDM 单板走线要求

管脚名	芯片输入/输出	单板约束	误差范围	说明
TDM_RX_CLK	Input	该信号作为其他信号走线基准。 但最长走线延时需要在1.5ns以内。	无	推荐该信号的走线长度为5inch。
TDM_RX_FSP	Input	与TDM_RX_CLK信号走线等长。	+/-500ps	-
TDM_RX	Input	与TDM_RX_CLK信号走线等长。	+/-500ps	-
TDM_TX	Output	与TDM_RX_CLK信号走线等长。	+/-500ps	-

TDM 32M时序

内部逻辑将接口进来的32M RXCLK分成两个16M的RXCLK分别送给TDM0/1，FSP信号也是如此，因此FSP信号相对于32M时钟分出来的16M时钟会有不同相位的情况。所以时序图有两种。

下图中带IO后缀的信号为管脚信号。其余信号为内部信号。

图5-57波形中内部的CLK_en与RxFSP在同一个上升沿为高，此时内部分发出的2个16MTDM通道的RxData（RxData0，RxData1）与RxFSP_16M的时序相同的（都晚0拍，或都晚1拍，...或都晚N拍），TxData在RxFSP后5（5-0）拍有效。

图 5-57 TDM 接口时序图 0

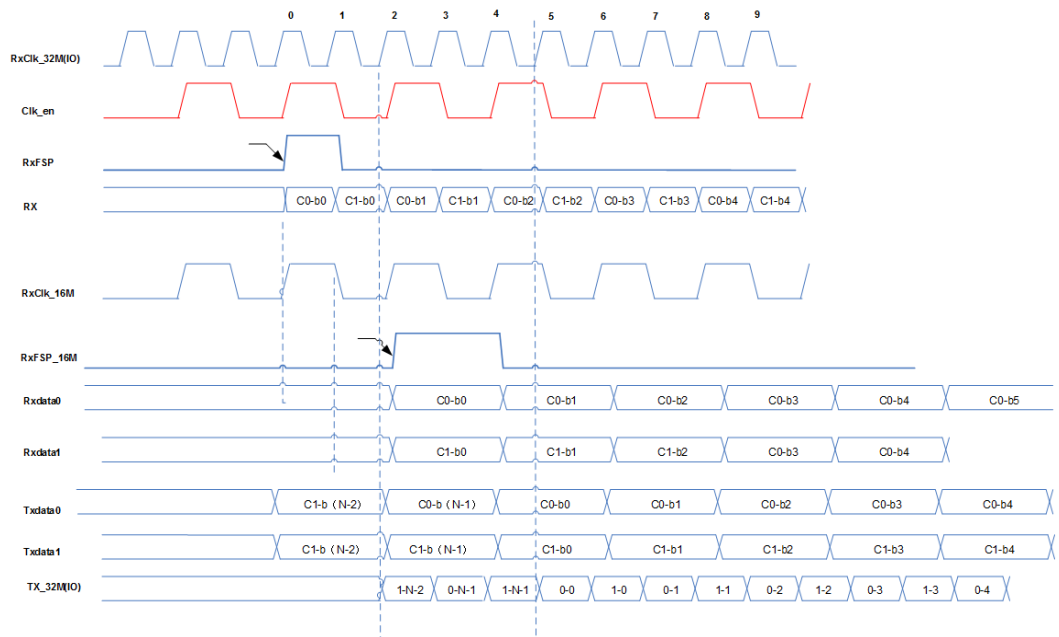
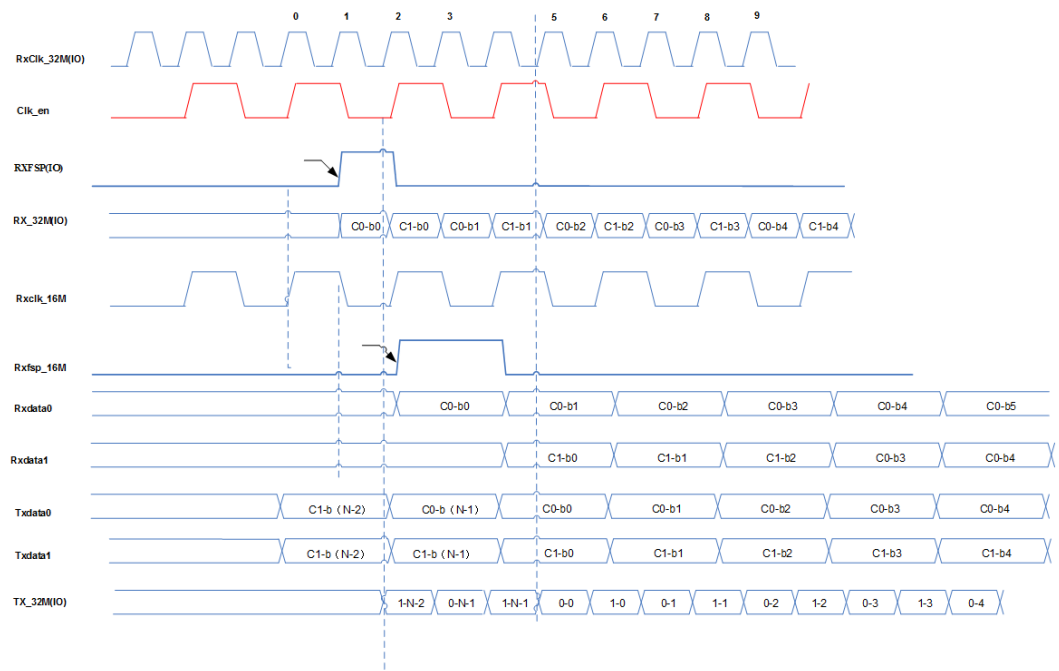


图5-58波形中内部的CLK_en与RxFSF不在同一个上升沿为高，此时内部分发出的2个16M TDM通道的RxData (RxData0, RxData1) 与RxFSF_16M的时序不同，RxData1要相比RxData0晚一拍（假如RxData0晚0拍，RxData1晚1拍，...RxData0晚N拍，RxData1晚N+1拍），TxData在RxFSF后4（5-1）拍有效。

图 5-58 TDM 接口时序图 1





5.17.4 电路设计建议

硬件应用注意点：

- TDM接口支持8.192Mbps、16.384Mbps、32.768Mbps三种速率。
- TDM控制器提供数据采样时钟沿和帧同步采样时钟沿控制。
- TDM接口接收信号建议上拉，输出建议串联33Ω电阻。
- TDM接口配置为零延迟时，frame_edge和clock_edge同为0或者1时，数据在帧同步的上升沿发送而不在时钟的上升沿发送。

5.17.5 不使用管脚处理方式

如果不使用，配置为GPIO即可（而且默认就是GPIO管脚）。

5.17.6 应用约束

无。

5.18 CodecTDM

5.18.1 概述

CodecTDM（Codec Interface TDM）是基于TDM接口传输的数据缓存处理模块，主要功能是实现TDM接口与ARM多核之间的数据转换及缓存。

CodecTDM模块支持1路TDM接口，最高速率32.768Mbps。提供最大512个时隙，每个时隙8bit的数据接收发送处理。

CodecTDM接口具有以下特性：

- 支持1个TDM总线接口：仅支持4线模式。
- 仅支持从芯片外部提供总线时钟和帧同步信号。
- 支持帧同步信号高有效、低有效可配。
- 支持总线数据传输速率为8.192Mbps，16.384Mbps或32.768Mbps可配。
- 支持帧头数据与帧同步信号的延时关系可配，支持0、1、2、3拍时钟周期共4种配置。
- 支持接收时钟正负沿采样数据可配；支持发送侧数据在时钟的正负沿输出可配。

Hi309a提供1个CodecTDM接口。

5.18.2 接口信号描述

表 5-46 CodecTDM 接口信号

功能名称	方向	电平类型	描述
TDM0_RXCLK	I	LVCMO S	CodecTDM接收方向总线时钟信号，在4线模式下，发送方向也使用该时钟信号。



功能名称	方向	电平类型	描述
TDM0_RXFSP	I	LVCMO S	CodecTDM接收方向帧同步信号，在4线模式下，发送方向也使用该帧同步信号。
TDM0_RX	I	LVCMO S	CodecTDM接收数据线。
TDM0_TX	O	LVCMO S	CodecTDM发送数据线。

5.18.3 接口时序

内部采样点CODECTDM_CLK上升沿、下降沿可配。

输入时钟频率8.192Mbps，16.384Mbps或32.768Mbps可配，占空比50%。

CODECTDM的时序要求如图5-59所示。

图 5-59 CodecTDM 的时序要求图

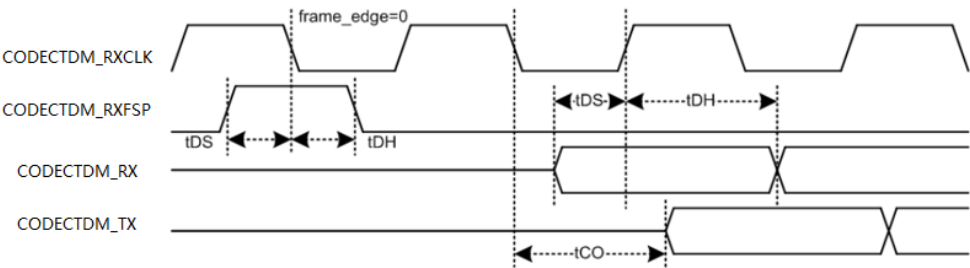


表 5-47 CodecTDM 的时序要求表

参数	符号	最小值	最大值	单位
数据建立时间	tDS	8	-	ns
数据保持时间	tDH	3.1	-	ns
数据输出延迟	tCO	-3.2	8	ns



表 5-48 CodecTDM 单板走线要求

管脚名	芯片输入/输出	单板约束	误差范围	说明
TDM0_RXCLK	Input	该信号作为其他信号走线基准。 但最长走线延时需要在1.5ns以内。	无	推荐该信号的走线长度为5inch。
TDM0_RXFSP	Input	与CODECTDM_RXCLK信号走线等长。	+/-500ps	-
TDM0_RX	Input	与CODECTDM_RXCLK信号走线等长。	+/-500ps	-
TDM0_TX	Output	与CODECTDM_RXCLK信号走线等长。	+/-500ps	-

5.18.4 电路设计建议

无

5.18.5 不使用管脚处理方式

无要求。

5.18.6 应用约束

无

5.19 CANBUS

5.19.1 概述

Hi309a芯片集成了6个独立的CAN（Controller Area Network，控制器局域网）设备，连接在APB总线上。可以与具有CAN接口的设备通讯，也可以多个芯片组成控制网络，完成信息的传输、交互和控制功能。

Hi309a芯片CAN控制器不能直接与物理介质相连接，在电路设计中，需要通过CAN控制器接口器件，如Philips公司的PCA82C250，转成差分信号后实现组网。

5.19.2 接口信号描述

表 5-49 接口信号描述

功能名称	方向	电平类型	描述
CAN_TX0	I/O	LVC MOS	CAN bus0的TX_DAT信号



功能名称	方向	电平类型	描述
CAN_RX0	I/O	LVC MOS	CAN bus0的RX_DAT信号
CAN_TX1	I/O	LVC MOS	CAN bus1的TX_DAT信号
CAN_RX1	I/O	LVC MOS	CAN bus1的RX_DAT信号
CAN_TX2	I/O	LVC MOS	CAN bus2的TX_DAT信号
CAN_RX2	I/O	LVC MOS	CAN bus2的RX_DAT信号
CAN_TX3	I/O	LVC MOS	CAN bus3的TX_DAT信号
CAN_RX3	I/O	LVC MOS	CAN bus3的RX_DAT信号
CAN_TX4	I/O	LVC MOS	CAN bus4的TX_DAT信号
CAN_RX4	I/O	LVC MOS	CAN bus4的RX_DAT信号
CAN_TX5	I/O	LVC MOS	CAN bus5的TX_DAT信号
CAN_RX5	I/O	LVC MOS	CAN bus5的RX_DAT信号

5.19.3 接口时序

请参见《mttcan_users_manual_v330.pdf》。

5.20 DyingGasp

5.20.1 概述

DyingGasp通过对输入1.8V电源信号进行监测，实现掉电检测功能。IP利用比较器实现上掉电检测功能，IP框图如图5-60所示，主要规格如表5-50所示。

(全温全工艺角：T=-40℃~+125℃，AVDD=1.8V±10%，DVDD=0.8V±20%)

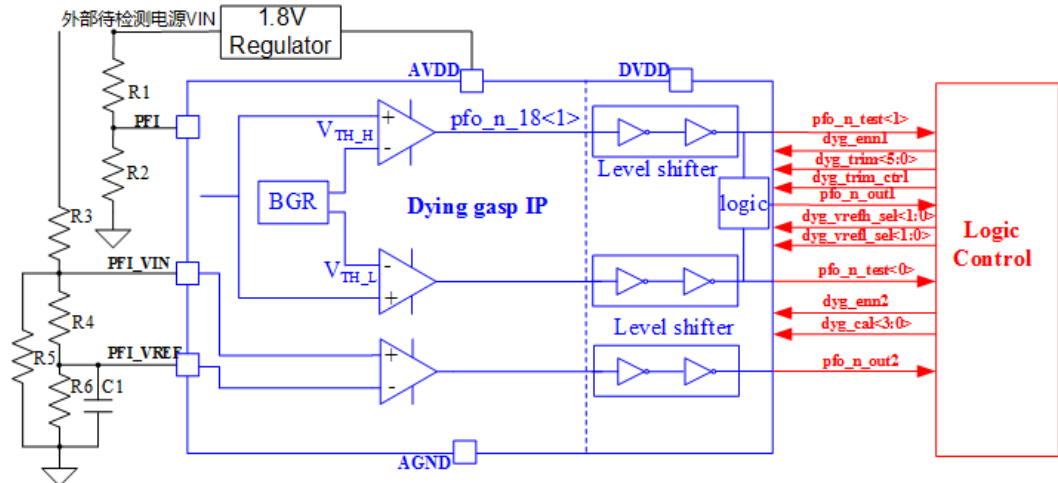
表 5-50 PFI 规格描述表

参数名称		规格性能
PFI单端检测翻转阈值	高翻转阈值V _{TH_H}	1.4V/1.35V/1.3V/1.25V (寄存器可配置)
	低翻转阈值V _{TH_L}	1.2V/1.15V/1.1V/1.05V (寄存器可配置)

须知

以上参数精度保证条件：全温全工艺角，且AVDD与被检测电压VIN的上下电斜率应满足1V/s~100kV/s范围。

图 5-60 DyingGasp 结构图



DyingGasp通过对PFI_VIN管脚输入的电源与内部基准（需校准）进行比较，实现掉电检测。

5.20.2 接口信号描述

表 5-51 电源地以及模拟信号列表描述

序号	接口名称	I/O属性	电源域	功能描述及连接方式
1	PFI	Input	1.8V	外部待检测电源电压采样输入端（单端检测），需要SoC增加IO和ESD保护。 注意最大电压约束为1.8V（±5%），防止超压使用。

- 供电电压
 - PFI是VIN的分压电压，用于给Dying gasp IP做掉电检测，PFI电压不要高于1.8V。
- IO说明
 - 对于待检测电压PFI的三个输入，需要SOC加IO做ESD保护。

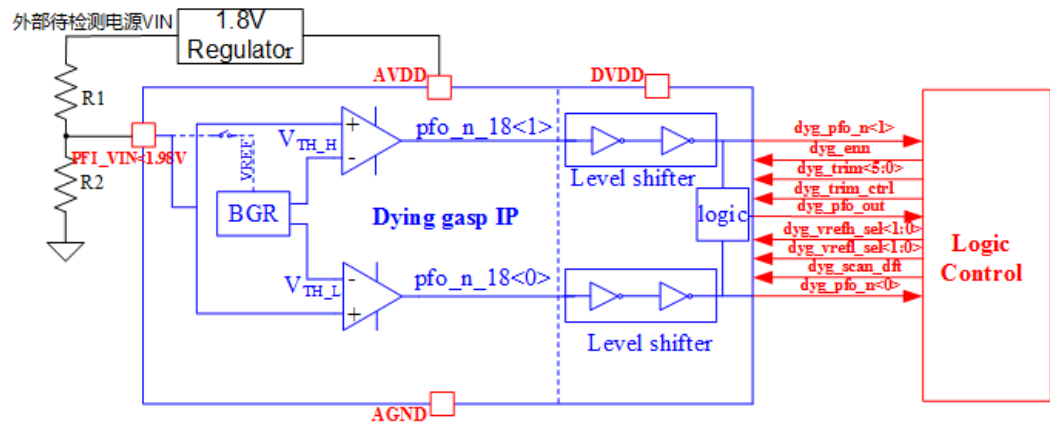
5.20.3 接口时序

- 板级考虑IP外围分压电阻时，需要综合考虑DyingGasp的检测精度误差在±3%，电阻老化及不同PVT下的精度误差。

- IP本身对AVDD和DVDD上电无具体时序需求，但需在AVDD上电完成后，重新复位IP，保证输出逻辑正确。

5.20.4 电路设计建议

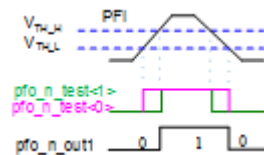
图 5-61 DyingGasp 单板应用框图



临终遗言模块可以监测外部电压是否高于或者低于一定的阈值，当外部电压高于一定的阈值时输出高电平，当外部电压低于一定的阈值时输出低电平，为了增加控制灵活性，PFI检测翻转阈值有高翻转阈值 V_{TH_H} 和低翻转阈值 V_{TH_L} ，同时翻转阈值可以通过寄存器配置；

如图5-62所示，当PFI高于 V_{TH_H} 时，pfo_n_out1输出高电平（输出给内部逻辑电路高电平为DVDD），当PFI低于 V_{TH_L} 时，pfo_n_out1输出低电平。

图 5-62 PFI 电平输出示意图



被检测电压VIN通过电阻R1和R2分压到PFI管脚，则VIN的高翻转阈值点（VH）、低翻转阈值点（VL）分别为：

$$V_H = V_{TH_H} + \frac{R_1}{R_2} \quad \text{公式 (1)}$$

$$V_L = V_{TH_L} + \frac{R_1}{R_2} \quad \text{公式 (2)}$$

需要注意，由于内部滤波电路对输出信号PFO_N的延迟作用，当上下电斜率在规格要求的范围内时，上面两个表达式成立，当VIN上下电斜率 $k > 0.1V/\mu s$

$$V_H = V_{TH_H} + \frac{R_1}{R_2} + k t_d \quad \text{公式 (3)}$$



$$V_L = V_{TH_L} + \frac{R_1}{R_2} k t_d \quad \text{公式 (4)}$$

是VIN的上电或下电斜率，td是滤波电路的延迟时间，典型值是320ns。

须知

1. DyingGasp需要做完校准之后，精度误差才可以控制到±3%，软件需要将TRIM码字（ATE烧写到EFUSE DIEID中）配置到DyingGasp的对应寄存器中，才可以实现对应精度，如果需要尽早的将检测精度提高，需要软件尽早将TRIM码字配置到寄存器中。
2. 为了尽可能的对上电初始化过程中的掉电进行检测，DyingGasp默认上电使能，此时并未校准（需要由软件配置之后进行校准，未校准时，精度误差大约±19% <150mV/900mV>），高翻转阈值VTH_H为1.25V，低翻转阈值VTH_L为1.2V。
3. 由于校准之后DyingGasp的检测精度误差在±3%，同时电阻的选择需要考虑电阻老化及不同PVT下的精度误差带来的误差，确保任意条件下，不会导致误触发中断，且PFI_VIN电压不会超规格（1.98V），否则存在长期可靠性风险。
4. SOC芯片集成时，Dying Gasp IP的电源与地可以分配独立的管脚。也可与其他的模拟电源及地管脚共用，以便节约系统芯片管脚资源。在共用管脚时，需要保证电源及地的质量，避免噪声太大，影响Dying Gasp IP的性能。

5.21 DCM

5.21.1 概述

Hi309a提供两个DCM管脚（仅网络场景存在），用于检测焊球或基板的Crack。

5.21.2 接口信号描述

表 5-52 接口信号描述

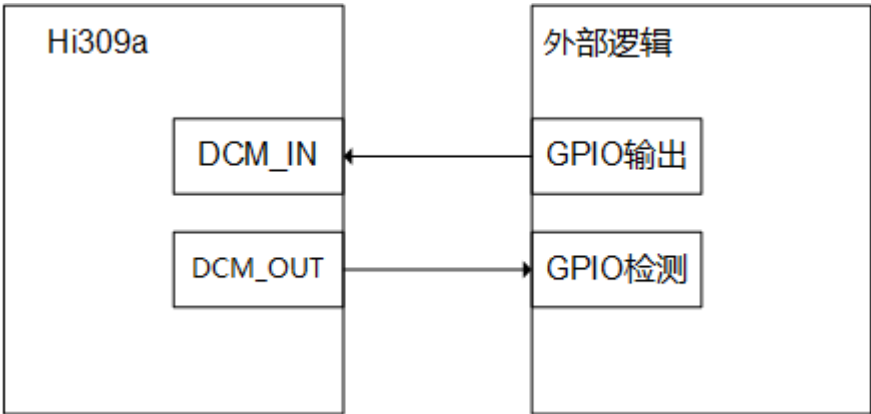
功能名称	方向	电平类型	描述
DCM_IN	I	LVC MOS	焊球开裂检测输入
DCM_OUT	O	LVC MOS	焊球开裂检测输出

5.21.3 建议使用方式

建议DCM管脚与板上逻辑对接，由逻辑输出高/低电平到DCM_IN管脚，并检测DCM_OUT管脚电平，若不对应为高/低电平，则认为发生crack。



图 5-63 连接示意图



5.22 SATA/ETH LED

5.22.1 概述

Hi309a提供2个SATA点灯管脚，用来指示SATA的工作状态；Hi309a提供4个ETH点灯管脚，用来指示ETH的工作状态。

5.22.2 接口信号描述

表 5-53 SATA、ETH LED 接口信号

功能名称	方向	电平类型	描述
SATA0_LED1	O	LVC MOS	SATA口1状态 LED控制信号
SATA0_LED0	O	LVC MOS	SATA口0状态 LED控制信号
Eth_LED0	O	LVC MOS	Ethernet口Active/link LED控制信号
Eth_LED1	O	LVC MOS	Ethernet口Active/link LED控制信号
Eth_LED3	O	LVC MOS	Ethernet口Active/link LED控制信号
Eth_LED2	O	LVC MOS	Ethernet口Active/link LED控制信号

5.22.3 接口时序

无

5.22.4 不使用管脚处理方式

无



5.22.5 应用约束

无

5.23 GPIO

5.23.1 概述

GPIO (General Purpose Input/Output) 为通用输入输出接口。每个管脚可以配置为输入或者输出。这些管脚用于生成或采样特定应用的输出或输入信号。作为输入管脚时，可作用为中断源；作为输出管脚时，每个GPIO都可以独立地清0或置1。

GPIO具有以下特点：

- 支持串行数据总线和低于32bit的并行数据总线的模拟。
- 每根信号有独立的数据寄存器和输入输出控制寄存器，默认为输入模式。
- 支持中断查询和中断屏蔽功能。GPIO_INTEN中断使能寄存器，GPIO_INMASK中断屏蔽寄存器，GPIO_INTSTATUS屏蔽后状态寄存器，GPIO_RAW_INTSTATUS原始中断状态寄存器，GPIO_PORTA_EOI中断清除寄存器。
- GPIO给每个GPIO端口提供一个独立的中断，每组GPIO提供32个独立的中断和一个汇聚的组合中断，独立中断支持可配置电平和脉冲方式上报。
- GPIO_INTTYPE_LEVEL（中断类型寄存器）、GPIO_INT_POLARITY（中断触发极性控制寄存器）两个寄存器共同决定了中断源的特性和触发类型。
- 当GPIO作为输出管脚时，每个GPIO管脚支持独立输出使能或关闭。
- 当GPIO作为输入管脚时，GPIO支持滤毛刺功能，可滤除宽度小于2.56μs的脉冲，该功能默认关闭，可通过寄存器GPIO_DEBOUNCE开启和关闭滤毛刺功能。
- 当GPIO作为输入管脚时，可作为中断源，每个GPIO管脚都具有独立的中断触发方式控制；中断支持电平触发和边沿触发两种方式，每个中断触发方式可独立配置为高电平、低电平、上升沿和下降沿触发。
- 部分PAD、GPIO管脚支持上电采样功能，采样结果存储在芯片寄存器中，具体请参考《SI requirement.xls》。
- GPIO支持两种工作模式，即自研GPIO工作模式和SYN工作模式，两种工作模式寄存器偏移不同，两种工作模式通过系统拉控制信号进行静态切换。
- SYN工作模式下，GPIO控制寄存器支持多核并发，提高软件效率。
- 自研、Synopsys和无线多核并发三种工作模式下，GPIO控制寄存器都支持双边沿触发中断。
- GPIO控制寄存器支持三套地址访问。

须知

Hi309a：GPIO247~GPIO255管脚输入方向功能（含GPIO中断）不可用。



5.23.2 接口信号描述

GPIO分组如表5-54所示。

表 5-54 HDLC 的时序要求表

GPIO分组编号	管脚编号
GPIO0	GPIO0~GPIO31
GPIO1	GPIO32~GPIO63
GPIO2	GPIO64~GPIO95
GPIO3	GPIO96~GPIO127
GPIO4	GPIO128~GPIO159
GPIO5	GPIO160~GPIO191
GPIO6	GPIO192~GPIO223
GPIO7	GPIO224~GPIO255
GPIO8	GPIO256~GPIO287
GPIO9	GPIO288~GPIO305

5.23.3 电路设计建议

GPIO管脚在不使用时，可以悬空，具体处理方式还需要参考管脚复用功能要求。

5.24 上电采样

5.24.1 启动真值表

表 5-55 AP 侧启动真值表

名称	efuse_chip_mode	efuse_ns_forbid	BOOT_SEL1	BOOT_MODE	BOOT_SELO	启动场景
真值表	非4'b1111	0	X	0	0	AP侧非安全启动（调试模式）：AP从SPI NOR FLASH非安全启动
	非4'b1111	0	X	0	1	AP侧非安全启动（调试模式）：AP从NAND FLASH非安全启动



名称	efuse_chip_mode	efuse_ns_forbid	BOOT_SEL1	BOOT_MODE	BOOT_SELO	启动场景
	非4'b1111	0	X	1	0	AP侧非安全启动：AP从BSBC非安全启动，再引导SPI NOR FLASH启动
	非4'b1111	0	X	1	1	AP侧非安全启动：AP从BSBC非安全启动，再引导NAND FLASH启动
	非4'b1111	1	X	X	0	AP侧安全启动：AP从BSBC安全启动，再引导SPI NOR FLASH启动
	非4'b1111	1	X	X	1	AP侧安全启动：AP从BSBC安全启动，再引导NAND FLASH启动

表 5-56 HISS 侧启动真值表

名称	efuse_chip_mode	efuse_ns_forbid	RST_MODE	BOOT_SEL1	BOOT_MODE	BOOT_SELO	启动场景
-	4'b1111	0	0	X	0	0	预留，当前非法
	4'b1111	0	0	X	0	1	预留，当前非法
	4'b1111	0	0	X	1	0	HISS侧非安全启动（调试模式）：HISS从BSBC非安全启动，再引导SPI NOR FLASH启动



名称	efuse_chip_mode	efuse_n_s_forbid	RST_MODE	BOOT_SEL1	BOOT_MODE	BOOT_SELO	启动场景
	4'b1111	0	0	X	1	1	HISS侧非安全启动（调试模式）：HISS从BSBC非安全启动，再引导NAND FLASH启动
	4'b1111	0	1	X	0	0	预留，当前非法，禁止使用
	4'b1111	0	1	X	0	1	预留，当前非法
	4'b1111	0	1	X	1	X	预留，当前非法
	4'b1111	1	X	X	X	0	HISS侧安全启动：HISS从BSBC安全启动，HISS启动后引导AP从SPI NOR FLASH启动
	4'b1111	1	X	X	X	1	HISS侧安全启动：HISS从BSBC安全启动，HISS启动后引导AP从Nand FLASH启动

各信号或管脚说明如下：

- efuse_chip_mode：芯片模式，位于Efuse中。含义：非“4'b1111”AP侧启动；“4'b1111”HISS侧启动。



- efuse_ns_forbid: efuse_ns_forbid, 位于Efuse中。在内部启动逻辑中优先级最高。含义: “0” 非安全启动模块; 非 “0” 安全启动模式。
- RST_MODE: RST_MODE为0, AP不能自己启动, 需要HISS启动后引导A55启动。
- BOOT_MODE: 内部外部启动模式脚, 1bit, 上电采样管脚。仅在 efuse_ns_forbid为0时有意义, 含义: “0” 片外介质启动; “1” 片内BSBC启动。
- BOOT_SEL1: 主从片模式启动模式脚, 1bit, 上电采样管脚。含义: “0” 主片; “1” 从片。仅无线主从场景使用, 网络版本芯片不使用。
- BOOT_SEL0: 上电采样得到。含义: 启动介质为 “0” SPI NOR FLASH; “1” NAND FLASH。

5.24.2 启动晶振频率真值表

表 5-57 启动晶振频率真值表

BOOT_SEL4	BOOT_SEL3	安全启动场景
0	0	50M
0	1	66.667M
1	X	25M

5.24.3 SFC 接口时钟频率真值表

表 5-58 SFC 接口时钟频率真值表

BOOT_CFG_N1	BOOT_CFG_N0	SFC 分频	备注
0	0	6	SPI Nor Flash工作在50MHz
0	1	8	SPI Nor Flash工作在37.5MHz
1	0	12	SPI Nor Flash工作在25MHz
1	1	24	SPI Nor Flash工作在12.5MHz



5.24.4 Nand Boot 模式真值

表 5-59 Nand Boot 模式真值表

BOOT_C FG_W6 ~0	page size	ecc_type	block_ size	addr_ num	rand mizer_ en	启动模式
0000000	001	011	00	0	0	2k page size, 16bits/1024Byte ecc, 64page/ block, 4个地址周期
0000001	001	010	00	1	0	2k page size, 8bits/ 1024Byte ecc, 64page/block, 5个 地址周期
0000010	001	010	01	1	0	2k page size, 8bits/ 1024Byte ecc, 128page/block, 5 个地址周期
0000011	001	010	10	1	0	2k page size, 8bits/ 1024Byte ecc, 256page/block, 5 个地址周期
0000100	001	011	00	1	0	2k page size, 16bits/1024Byte ecc, 64page/ block, 5个地址周期
0000101	001	011	01	1	0	2k page size, 16bits/1024Byte ecc, 128page/ block, 5个地址周期
0000110	001	011	10	1	0	预留, 当前非法
0000111	001	100	00	1	0	2k page size, 24bits/1024Byte ecc, 64page/ block, 5个地址周期
0001000	001	100	01	1	0	2k page size, 24bits/1024Byte ecc, 128page/ block, 5个地址周期
0001001	001	100	10	1	0	2k page size, 24bits/1024Byte ecc, 256page/ block, 5个地址周期



BOOT_C FG_W6 ~0	page size	ecc_type	block_ size	addr_ num	rand mizer_ en	启动模式
0001010	001	111	00	1	0	2k page size, 28bits/1024Byte ecc, 64page/ block, 5个地址周期
0001011	001	111	01	1	0	2k page size, 28bits/1024Byte ecc, 128page/ block, 5个地址周期
0001100	001	111	10	1	0	2k page size, 28bits/1024Byte ecc, 256page/ block, 5个地址周期
0001101	010	010	00	1	0	4k page size, 8bits/ 1024Byte ecc, 64page/block, 5个 地址周期
0001110	010	010	01	1	0	4k page size, 8bits/ 1024Byte ecc, 128page/block, 5 个地址周期
0001111	010	010	10	1	0	4k page size, 8bits/ 1024Byte ecc, 256page/block, 5 个地址周期
0010000	010	011	00	1	0	4k page size, 16bits/1024Byte ecc, 64page/ block, 5个地址周期
0010001	010	011	01	1	0	4k page size, 16bits/1024Byte ecc, 128page/ block, 5个地址周期
0010010	010	011	10	1	0	4k page size, 16bits/1024Byte ecc, 256page/ block, 5个地址周期
0010011	010	100	00	1	0	4k page size, 24bits/1024Byte ecc, 64page/ block, 5个地址周期



BOOT_C FG_W6 ~0	page size	ecc_type	block_ size	addr_ num	rand mizer_ en	启动模式
0010100	010	100	01	1	0	4k page size, 24bits/1024Byte ecc, 128page/ block, 5个地址周期
0010101	010	100	10	1	0	4k page size, 24bits/1024Byte ecc, 256page/ block, 5个地址周期
0010110	010	111	00	1	0	4k page size, 28bits/1024Byte ecc, 64page/ block, 5个地址周期
0010111	010	111	01	1	0	4k page size, 28bits/1024Byte ecc, 128page/ block, 5个地址周期
0011000	010	111	10	1	0	4k page size, 28bits/1024Byte ecc, 256page/ block, 5个地址周期
0011001	011	100	00	1	1	8k page size, 24bits/1024Byte ecc, 64page/ block, randmizer, 5个地址周期
0011010	011	100	00	1	0	8k page size, 24bits/1024Byte ecc, 64page/ block, 5个地址周期
0011011	011	100	01	1	1	8k page size, 24bits/1024Byte ecc, 128page/ block, randmizer, 5个地址周期
0011100	011	100	01	1	0	8k page size, 24bits/1024Byte ecc, 128page/ block, 5个地址周期



BOOT_C FG_W6 ~0	page size	ecc_type	block_ size	addr_ num	rand mizer_ en	启动模式
0011101	011	100	10	1	1	8k page size, 24bits/1024Byte ecc, 256page/ block, randmizer, 5个地址周期
0011110	011	100	10	1	0	8k page size, 24bits/1024Byte ecc, 256page/ block, 5个地址周期
0011111	011	100	11	1	1	8k page size, 24bits/1024Byte ecc, 512page/ block, randmizer, 5个地址周期
0100000	011	100	11	1	0	8k page size, 24bits/1024Byte ecc, 512page/ block, 5个地址周期
0100001	011	111	00	1	1	8k page size, 28bits/1024Byte ecc, 64page/ block, randmizer, 5个地址周期
0100010	011	111	00	1	0	8k page size, 28bits/1024Byte ecc, 64page/ block, 5个地址周期
0100011	011	111	01	1	1	8k page size, 28bits/1024Byte ecc, 128page/ block, randmizer, 5个地址周期
0100100	011	111	01	1	0	8k page size, 28bits/1024Byte ecc, 128page/ block, 5个地址周期
0100101	011	111	10	1	1	8k page size, 28bits/1024Byte ecc, 256page/ block, randmizer, 5个地 址周期



BOOT_C FG_W6 ~0	page size	ecc_type	block_ size	addr_ num	rand mizer_ en	启动模式
0100110	011	111	10	1	0	8k page size, 28bits/1024Byte ecc, 256page/ block, 5个地址周 期
0100111	011	111	11	1	1	8k page size, 28bits/1024Byte ecc, 512page/ block, randmizer, 5个地 址周期
0101000	011	111	11	1	0	8k page size, 28bits/1024Byte ecc, 512page/ block, 5个地址周 期
0101001	011	101	00	1	1	8k page size, 40bits/1024Byte ecc, 64page/ block, randmizer, 5个地址周期
0101010	011	101	00	1	0	8k page size, 40bits/1024Byte ecc, 64page/ block, 5个地址周期
0101011	011	101	01	1	1	8k page size, 40bits/1024Byte ecc, 128page/ block, randmizer, 5个地址周期
0101100	011	101	01	1	0	8k page size, 40bits/1024Byte ecc, 128page/ block, 5个地址周期
0101101	011	101	10	1	1	8k page size, 40bits/1024Byte ecc, 256page/ block, randmizer, 5个地 址周期



BOOT_C FG_W6 ~0	page size	ecc_type	block_ size	addr_ num	rand mizer_ en	启动模式
0101110	011	101	10	1	0	8k page size, 40bits/1024Byte ecc, 256page/ block, 5个地址周 期
0101111	011	101	11	1	1	8k page size, 40bits/1024Byte ecc, 512page/ block, randmizer, 5个地 址周期
0110000	011	101	11	1	0	8k page size, 40bits/1024Byte ecc, 512page/ block, 5个地址周 期
0110001	011	110	00	1	1	8k page size, 64bits/1024Byte ecc, 64page/ block, randmizer, 5个地址周期
0110010	011	110	00	1	0	8k page size, 64bits/1024Byte ecc, 64page/ block, 5个地址周期
0110011	011	110	01	1	1	8k page size, 64bits/1024Byte ecc, 128page/ block, randmizer, 5个地址周期
0110100	011	110	01	1	0	8k page size, 64bits/1024Byte ecc, 128page/ block, 5个地址周期
0110101	011	110	10	1	1	8k page size, 64bits/1024Byte ecc, 256page/ block, randmizer, 5个地 址周期



BOOT_C FG_W6 ~0	page size	ecc_type	block_ size	addr_ num	rand mizer_ en	启动模式
0110110	011	110	10	1	0	8k page size, 64bits/1024Byte ecc, 256page/ block, 5个地址周 期
0110111	011	110	11	1	1	8k page size, 64bits/1024Byte ecc, 512page/ block, randmizer, 5个地址周期
0111000	011	110	11	1	0	8k page size, 64bits/1024Byte ecc, 512page/ block, 5个地址周 期
0111001	100	101	00	1	1	16k page size, 40bits/1024Byte ecc, 64page/ block, randmizer, 5个地址周期
0111010	100	101	00	1	0	16k page size, 40bits/1024Byte ecc, 64page/ block, 5个地址周期
0111011	100	101	01	1	1	16k page size, 40bits/1024Byte ecc, 128page/ block, randmizer, 5个地址周期
0111100	100	101	01	1	0	16k page size, 40bits/1024Byte ecc, 128page/ block, 5个地址周期
0111101	100	101	10	1	1	16k page size, 40bits/1024Byte ecc, 256page/ block, randmizer, 5个地址周期
0111110	100	101	10	1	0	16k page size, 40bits/1024Byte ecc, 256page/ block, 5个地址周期



BOOT_C FG_W6 ~0	page size	ecc_type	block_ size	addr_ num	rand mizer_ en	启动模式
0111111	100	101	11	1	1	16k page size, 40bits/1024Byte ecc, 512page/ block, randmizer, 5个地址周期
1000000	100	101	11	1	0	16k page size, 40bits/1024Byte ecc, 512page/ block, 5个地址周期
1000001	100	110	00	1	1	16k page size, 64bits/1024Byte ecc, 64page/ block, randmizer, 5个地址周期
1000010	100	110	00	1	0	16k page size, 64bits/1024Byte ecc, 64page/ block, 5个地址周期
1000011	100	110	01	1	1	16k page size, 64bits/1024Byte ecc, 128page/ block, randmizer, 5个地址周期
1000100	100	110	01	1	0	16k page size, 64bits/1024Byte ecc, 128page/ block, 5个地址周期
1000101	100	110	10	1	1	16k page size, 64bits/1024Byte ecc, 256page/ block, randmizer, 5个地址周期
1000110	100	110	10	1	0	16k page size, 64bits/1024Byte ecc, 256page/ block, 5个地址周期
1000111	100	110	11	1	1	16k page size, 64bits/1024Byte ecc, 512page/ block, randmizer, 5个地址周期



BOOT_CFG_W6~0	page size	ecc_type	block_size	addr_num	rand mizer_en	启动模式
1001000	100	110	11	1	0	16k page size, 64bits/1024Byte ecc, 512page/block, 5个地址周期
1001001~1111111	X	X	X	X	X	预留，当前非法

另外，对于NANDC启动有额外的管脚控制对应模式。

nand Flash不支持同步nand boot。

表 5-60 NANDC 启动模式控制

BOOT_CFG_W7	自适应模式	备注
0	自适应启动无效 (BOOT_CFG_W4~0)	上电默认值
1	自适应启动有效	-



6 电气特性

6.1 LVCMOS 接口电气特性参数

Hi309a LVCMOS IO Buffer支持failsafe(一级)，电器特性参数如表6-1所示。

Hi309a大部分的I/O cell均为驱动能力16档可调的类型。调节方式是调节padmgxxx寄存器的padmgxxx_DSx域段。

表 6-1 LVCMOS IO Buffe 电气特性

参数	符号	最小值	典型值	最大值	单位
输入低电压	Vil	-0.3	-	$0.35 \cdot V_{DDIO}$	V
输入高电压	Vih	$0.65 \cdot V_{DDIO}$	-	1.98	V
门限值	Vt	0.91	1.01	1.13	V
输入漏电流	Ii @Vi=1.8V/0V	-	-	+/-10 μ	A
三态输出漏电流	Ioz@Vo=1.8V/0V	-	-	+/-10 μ	A
内部强上拉电阻	R _{SPU}	1.6	2.1	3	k Ω
内部上拉电阻	Rpu	32	48	79	k Ω
内部下拉电阻	Rpd	30	44	68	k Ω
输出低电压	Vol	-	-	0.45	V
输出高电压	Voh	$V_{DDIO}-0.45$	-	-	V



参数	符号	最小值	典型值	最大值	单位
Low level output current@V _{ol} (max)	(DS3,DS2,DS1,DS0)=0000	0.7	1.1	1.4	mA
	(DS3,DS2,DS1,DS0)=0001	1.1	1.6	2.1	
	(DS3,DS2,DS1,DS0)=0010	2.2	3.2	4.2	
	(DS3,DS2,DS1,DS0)=0011	3.3	4.8	6.3	
	(DS3,DS2,DS1,DS0)=0100	4.4	6.4	8.4	
	(DS3,DS2,DS1,DS0)=0101	5.5	8.0	10.5	
	(DS3,DS2,DS1,DS0)=0110	6.5	9.6	12.6	
	(DS3,DS2,DS1,DS0)=0111	7.6	11.2	14.7	
	(DS3,DS2,DS1,DS0)=1000	8.7	12.7	16.8	
	(DS3,DS2,DS1,DS0)=1001	9.8	14.3	18.8	
	(DS3,DS2,DS1,DS0)=1010	10.9	15.9	20.9	
	(DS3,DS2,DS1,DS0)=1011	12.0	17.5	23.0	
	(DS3,DS2,DS1,DS0)=1100	13.0	19.1	25.1	
	(DS3,DS2,DS1,DS0)=1101	14.1	20.7	27.2	
	(DS3,DS2,DS1,DS0)=1110	15.2	22.3	29.2	
	(DS3,DS2,DS1,DS0)=1111	16.3	23.8	31.3	
High level output current@V _{oh} (min)	(DS3,DS2,DS1,DS0)=0000	0.7	1.1	1.6	mA
	(DS3,DS2,DS1,DS0)=0001	1.1	1.7	2.3	
	(DS3,DS2,DS1,DS0)=0010	2.1	3.3	4.7	



参数	符号	最小值	典型值	最大值	单位
	(DS3,DS2,DS1,DS0)=0011	3.2	5.0	7.0	
	(DS3,DS2,DS1,DS0)=0100	4.2	6.6	9.3	
	(DS3,DS2,DS1,DS0)=0101	5.3	8.3	11.7	
	(DS3,DS2,DS1,DS0)=0110	6.3	9.9	13.9	
	(DS3,DS2,DS1,DS0)=0111	7.4	11.6	16.2	
	(DS3,DS2,DS1,DS0)=1000	8.4	13.2	18.5	
	(DS3,DS2,DS1,DS0)=1001	9.4	14.8	20.8	
	(DS3,DS2,DS1,DS0)=1010	10.5	16.5	23.1	
	(DS3,DS2,DS1,DS0)=1011	11.5	18.1	25.4	
	(DS3,DS2,DS1,DS0)=1100	12.6	19.7	27.6	
	(DS3,DS2,DS1,DS0)=1101	13.6	21.4	29.9	
	(DS3,DS2,DS1,DS0)=1110	14.6	23.0	32.1	
	(DS3,DS2,DS1,DS0)=1111	15.7	24.6	34.1	

说明

对于NANDC接口，当Hi309a输出，对端nand Flash芯片接收的时候，NAND的接口高低电平的判决需要看对端器件的vil和vih，不能看Hi309a的vol和voh。

芯片GPIO Pad过冲要求如图6-1所示。



图 6-1 GPIO 过冲示意图

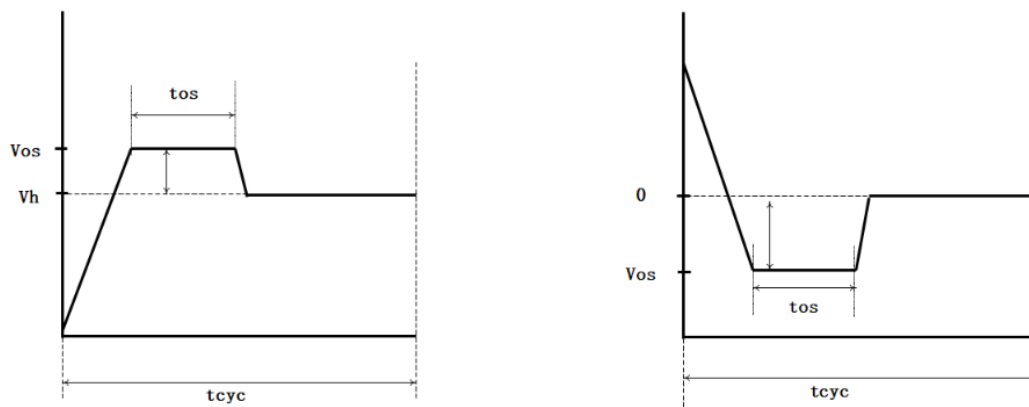


表 6-2 Pad 电平上下过冲表

参数	上冲	下冲	单位
Vos	0.45	0.45	V
tos	0.2	0.2	UI

6.2 DDR 接口电气特性参数

Hi309a DDR接口电气性能符合JEDEC定义的DDR4/5协议，具体参数请参考最新的DDR4/5 Jedec协议。

除支持Jedec标准协议外，Hi309a的DDR接口同时支持其他一些提高DDR系统Margin的电气特性。TX方向支持16档BOOST，用于提高TX方向的信号质量，默认配置建议配置为最大；RX方向支持7档CTLE以及1-Tap DFE。Hi309a RX方向的接受幅度为35mV。

DDR仿真接口Timing要求。

表 6-3 DDR5 时序参数

Items	Unit/ps@3200Mbps
Write Timing	201
Read Timing	135
CA Timing	325

说明

以上参数包含了芯片DDR控制器的Timing+DDR颗粒Timing。



表 6-4 DDR4 时序参数

Items	Unit/ps @2933Mbps	Unit/ps @2667Mbps	Unit/ps @2400Mbps	Unit/ps @2133Mbps
Write Timing	135	145	150	165
Read Timing	150	160	170	200
CA Timing	383	408	422	471

6.3 SerDes 接口电气指标

6.3.1 SerDes 接口极限电气特性

表 6-5 SerDes 接口极限电气特性

参数	符号	最小值	典型值	最大值	单位
All Supplies Slew Rate	PSdv/dt	0.0025	-	2.0	V/mS
I/O sustained voltage vs. vss,lvss,dvss	Vio	-0.05	-	1.05	V
Maximum rate of operation	BitRate	-	-	32	Gbps
Maximum voltage difference between vss and dvss	Abs (dvss – vss)	-	-	50	mV



6.3.2 SerDes 接口推荐电气特性

表 6-6 SerDes 接口推荐电气特性

参数	符号	最小值	典型值	最大值	单位	备注
SerDes power supply rate of change when transitioning from one average voltage to another (all rails)	dV/dt	-	-	1	V/mS	-
Reference clock voltage swing	Vrefclk	300.00	400.00	700.00	mVpp, single ended	Must be externally AC coupled CML input. For accommodating LVPECL or LVDS swings refer to clock slice application charts
Reference clock Duty Cycle	Dtyrefclk	45.00	50.00	55.00	%	-
Reference clock rise time	-	100	-	500	pS	20%-80% Differential measurement
Reference clock coupling to other signals	-	-	-	-72	dB	In the range DC to 15MHz
Reference clock coupling to other signals	-	-	-	-60	dB	In the range of clock frequency/2 to clock frequency +25MHz



参数	符号	最小值	典型值	最大值	单位	备注
Frequency difference between the two VCOs	-	50	-	-	MHz	Frequency difference at any time in mission mode between the VCOs of the two PLLs of the HiLink CS
Media intra pair skew	-	-	-	0.2	UI	-
Difference between vss (GND) of the link partners	dVvss	-	-	±50	mV	Refers to the difference in GND relative to zero

说明

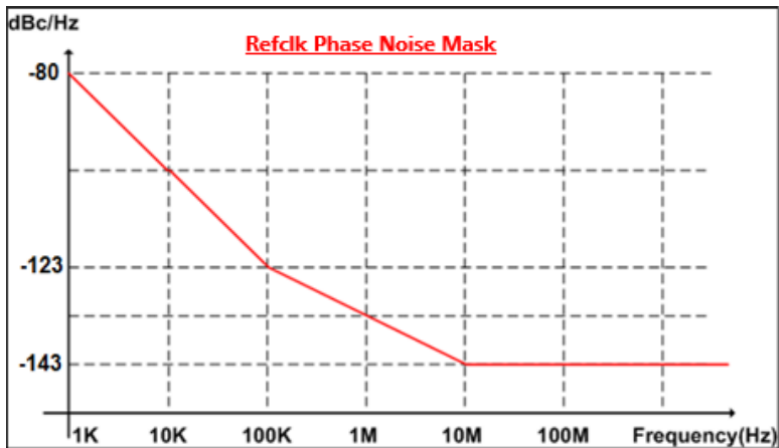
PCIE接口使用的100MHz refclk时钟，jitter相关要求按照PCIE协议要求即可；但当100MHz需要支持SATA、HCCS时候，需要按照156.25MHz时钟要求来。

Jrefclk的Spec是经过Hilink内部电路滤波之后积分的Spec。HiLink SerDes的参考时钟评估需要芯片使用者反馈参考时钟相噪数据，由HiLink评估是否满足HiLink Spec。

SerDes参考时钟的相噪要求描述如图6-2所示。

The following phase noise mask is recommended to be met by the reference clock sources (the example is given/normalized for carrier frequency of 156.25MHz)

图 6-2 SerDes Reference Clock Phase Noise mask (156.25MHz)



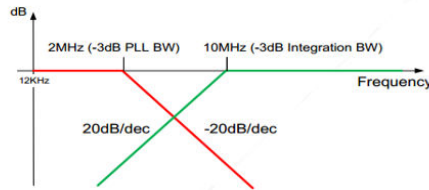
For reference clock frequencies below 220MHz any of the points of the mask can be adjusted as per the following equation:

$$New\ point = current\ point + 20 \times \log \frac{New\ ref\ clk\ frequency}{156.25e6}$$

For reference clock frequencies above 220MHz the points of the above mask can be adjusted by adding 3dB.

图 6-3 Reference Clock phase noise filtering

In addition to re-affirm the reference clock purity the following way should be considered if phase noise (including spurs) is under the mask. Reference clock RMS jitter must meet refclk phase noise mask. All spurs that exceed the Phase Noise Mask in Figure 24 must have their peak-peak jitter be less than 0.2ps-pp after being filtered by a 2MHz low pass filter and a 10MHz high pass filter.



Hilink的参考时钟频偏要求：

- Hilink把参考时钟做倍频，提供给上层业务使用，需要满足对应上层业务的协议要求。跑不同的模式，对应的频偏要求不同。
- PCIE 可按照+/-300ppm，ETH可按照+/-100ppm，SATA可按照+/-300ppm。
- 考虑到对端的频偏叠加，尽量按照+-50ppm要求来约束。

6.3.3 SerDes 接口 AC 参数特性

表 6-7 SerDes 发射机电气特性

参数	符号	最小值	典型值	最大值	单位	备注
TX Differential Output Voltage Swing when at full power	Vdiff	850	-	1050	mVp pd	Peak to Peak voltage swing measured over AC coupled differential load of 100Ω. Register selectable.



参数	符号	最小值	典型值	最大值	单位	备注
TX Maximum Differential Output Voltage when TX is disabled	VMA Xodif f _min lvl	-	-	30	mVp pd	Peak to Peak voltage swing measured over AC coupled differential load of 100Ω.
TX Output Common Mode	-	-	Output Swing/2	-	mV	-
TX Output Rise/Fall times maximum TX level is selected	tr,tf	10	-	19	Ps	20% to 80% at designated package balls.
TX Differential Output Impedance at DC	Zdc	80	-	120	Ω	Selectable. the Driver is tri-stated during reset
TX Output Differential Return Loss	SDD 22tx	-	-	-12.0	dB	For frequencies below 5.48GHz.
		-	-	$12\log(f/5.48\text{GHz}) - 12$	dB	For frequencies above 5.48GHz.
TX Output Common mode Return Loss	SCC2 2tx	-	-	-6.0	dB	For frequencies below 10 GHz.
		-	-	-4.0	dB	For frequencies above 10 GHz and up to 28GHz.
TX Output Common mode noise	Ncm tx	-	-	12	mVr ms	-
TX Output Duty Cycle Distortion	DCD tx	-	-	0.035	UI	-
TX DS to DS SerDes intrinsic skew	-	-	-	4	full rate UI	Shall be verified with a qualified test package.



参数	符号	最小值	典型值	最大值	单位	备注
TX Output (within pair) p to n skew	-	-	-	1.5	pS	At the TX die bumps.
TX latency of normal latency path	-	-	-	108	UI	-
TX latency of low ency path	-	-	-	68	UI	-
TX Output Total Jitter	TJ	-	-	0.28	UI	Measured @ BER = 10e-12
Random Jitter at the TX output	RJ	-	-	0.3	pSrms	Unbounded.
TX Parallel (TXDCLK) to Serial Jitter Suppression	-	-	-	3.75	UI	In case of 4UI dead-band selected.

表 6-8 SerDes 接收机电气特性

参数	符号	最小值	典型值	最大值	单位	测试条件
RX Input Common Mode Voltage	Vicm	-	650	-	mV	Floating, self adjusting.
Maximum RX Input Peak-Peak Differential voltage	Vid	-	-	1200	mVpp	-
RX Input Differential Return Loss	SDD11rx	-	-	-12.0	dB	For frequencies below 5.48GHz.
		-	-	$12\log(f/5.48\text{GHz}) - 12$	dB	For frequencies above 5.48GHz



参数	符号	最小值	典型值	最大值	单位	测试条件
RX Input Common Mode Return Loss	SCC11rx	-	-	-6.0	dB	For frequencies 100MHz - 10 GHz
		-	-	-4.0	dB	For frequencies above 10 GHz.
RX Input Differential to Common mode conversion	SCD11rx	-	-	-16.0	dB	For frequencies up to 16GHz.
RX Input Differential Impedance at DC	Zdc	80	-	120	Ω	-
Receiver CTLE Frequency Boost	-	-	-	20.0	dB	@16GHz
Main DFE Tap Range	-	-	-	7.5	dB	-
Baud Rate Tolerance	-	-	-	± 100	ppm	Relative to nominal baud rate.
RX Clock Frequency Recovery Time	-	-	-	1500	UI	-
Receiver Jitter Tolerance	JTrx	-	-	0.3	UI	-
Receiver Latency of Normal Latency Path	-	-	-	61	UI	-
Receiver Latency of low ency Path	-	-	-	41	UI	-



参数	符号	最小值	典型值	最大值	单位	测试条件
Receiver DS to DS Skew	-	-	-	1 word width	UI	-

6.3.4 SerDes RCD CML 参数特性

表 6-9 SerDes RCD CML 电气特性

参数	符号	最小值	典型值	最大值	单位	备注
I/Os Operating Frequency	Fop	100	-	300	MHz	-
Input Common Mode Voltage	Vicm	500	-	650	mV	-
Input peak-differential voltage swing	Vid	200	-	350	mVp	-
Input rise time	Irt	-	-	650	pS	20%~80% differential.
Input differential Impedance	Zdiffin	80	100	120	Ω	-
Output Common Mode Voltage	Vocm	500	-	650	mV	-
Output peak-differential voltage swing	Vod	320	-	-	mVp	-
Output rise time	Ort	-	-	400	pS	20%~80% differential.
Output diff Impedance	Zdiffout	85	100	115	Ω	-

6.3.5 SerDes 接口驱动能力

The meaning of the areas in the below masks is as follows:

High Confidence: most likely margin will be sufficient. Simulations with SI models for these kind of links is optional and will be decided by HiLink Support Team.

Low Confidence: margin maybe not sufficient. Simulation with SI models is strongly recommended.

Non functional: most likely margin will not be sufficient. Simulation with SI models is not recommended. Extensive tests with actual channel and FEC is required.

图 6-4 Insertion Loss limits for Full Rate modes $\geq 12.5\text{Gbps}$ (@ $1\text{E-}17$, @ 2mVrms ICN, no FEC, ICR @ $N_y \geq 15\text{dB}$)

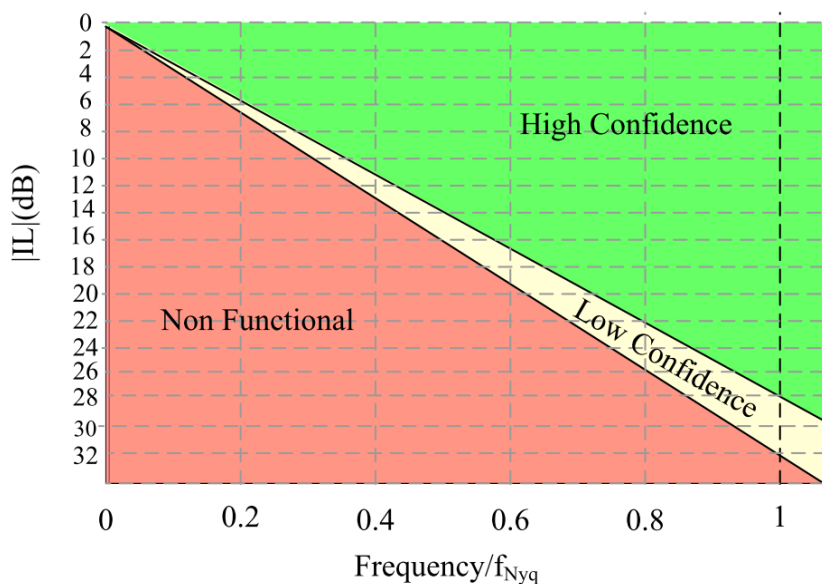
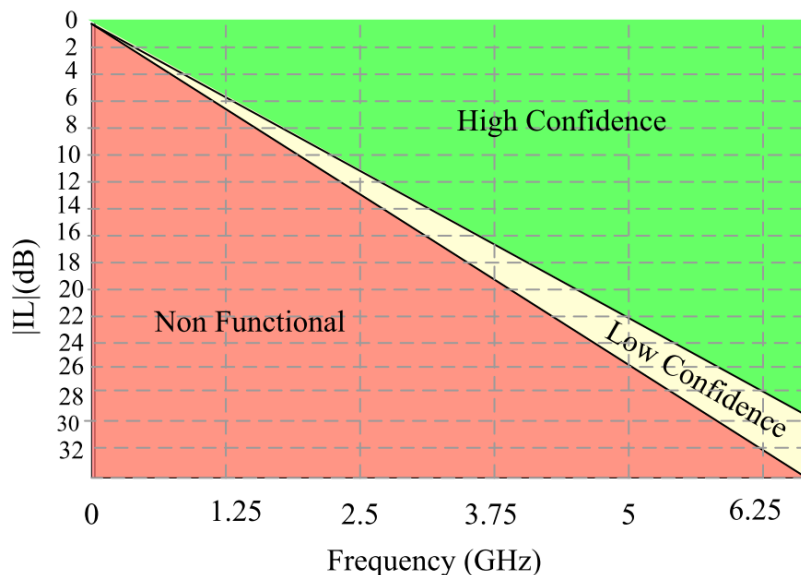


图 6-5 Insertion Loss limits for Full Rate modes $\leq 12.5\text{Gbps}$ (@ $1\text{E-}17$, @ 2mVrms ICN, no FEC, ICR @ $N_y \geq 15\text{dB}$)



当lane的速率大于12.5Gbps时，由于都是全速率模式，可简单按32dB估算；

小于12.5Gbps时，参考图6-5，取对应的交叉点数据即可。



须知

该数据目前由IP提供，仅供参考，待根据样片测试结果刷新数据。



7 可靠性参数

7.1 通用参数

可靠性参数如表7-1所示。

表 7-1 通用可靠性参数表

参数	符号	参数值
ESD参数	ESD level/volt	HBM: 500V CDM: 200V
LatchUp电流	ILU	+/-100mA
潮湿敏感等级	MSL	4
可靠性等级	Reliability Grade	Grade 2
可重复焊接次数	Maximum PCB assembly reflows	3次
工作时间	Machine Life (kPOH)	-
工作寿命	LifeTime	10年

表 7-2 芯片潮湿敏感等级定义

潮湿敏感等级（MSL）	含义（拆封后存放条件及最长时间）
1	无限制，85% RH（Relative Humidity）。
2	1年，30℃/60% RH。
3	1周，30℃/60% RH。
4	72小时，30℃/60% RH。
5	48小时，30℃/60% RH。



潮湿敏感等级（MSL）	含义（拆封后存放条件及最长时间）
6	24小时，30℃/60% RH。



8 封装

8.1 概述

Hi309a采用FCBGA封装；尺寸为25mm x 25mm，焊球数目为813，器件高度（含LID）为2.398mm~2.714mm。

8.2 芯片标识

图 8-1 Hi309a Mark 示意图

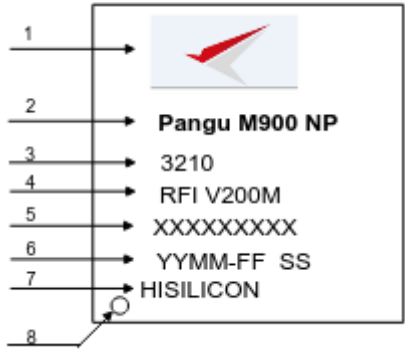


表 8-1 Hi309a Mark 说明

编号	含义
1	海思公司Logo。
2	Product Number: Pangu M900 NP。
3	分bin编码：无分bin需求，固定打3210。



编号	含义
4	芯片生产型号 RFIV200M。 R: 环保标识（N、R、G之一，分别代表有铅，RoHS，Green）。 F: 封装标识。 I: 温度标识（C表示商业级、I表示工业级）。 V200M: 芯片版本信息。
5	XXXXXXXX: Mark Lot Number
6	YYWW: 封装时间信息，YY表示年份；WW表示星期。 FF: 芯片封装地信息（字符数可变）。 SS: 封装子批号码，从01开始
7	海思公司Logo。
8	Pin 1起始标志。

8.3 封装视图



8.3.1 Hi309a 封装视图

图 8-2 Top view

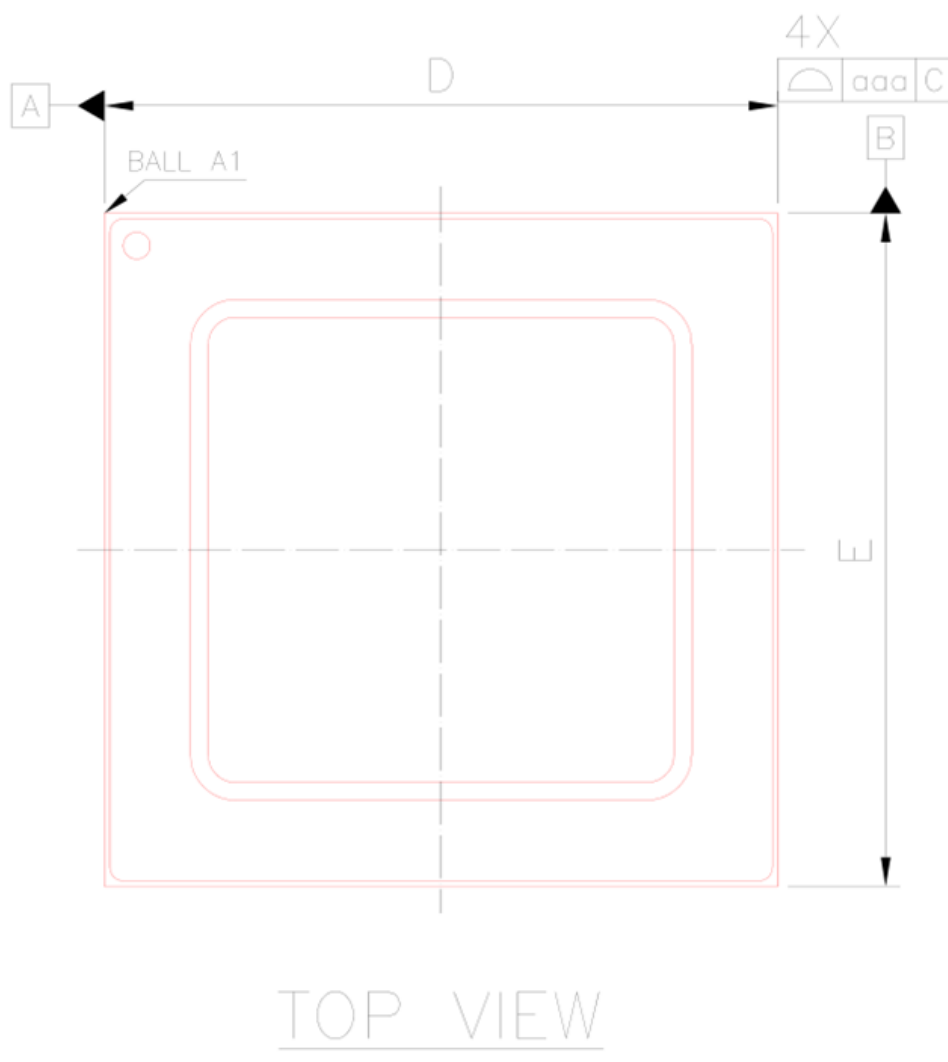


图 8-3 Side view



图 8-4 DETAIL "A"

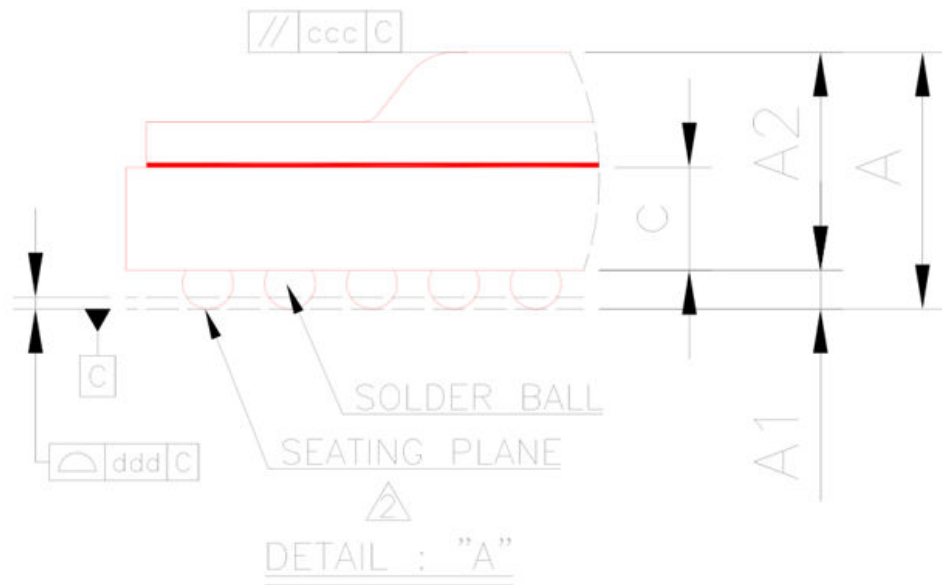


图 8-5 Bottom view

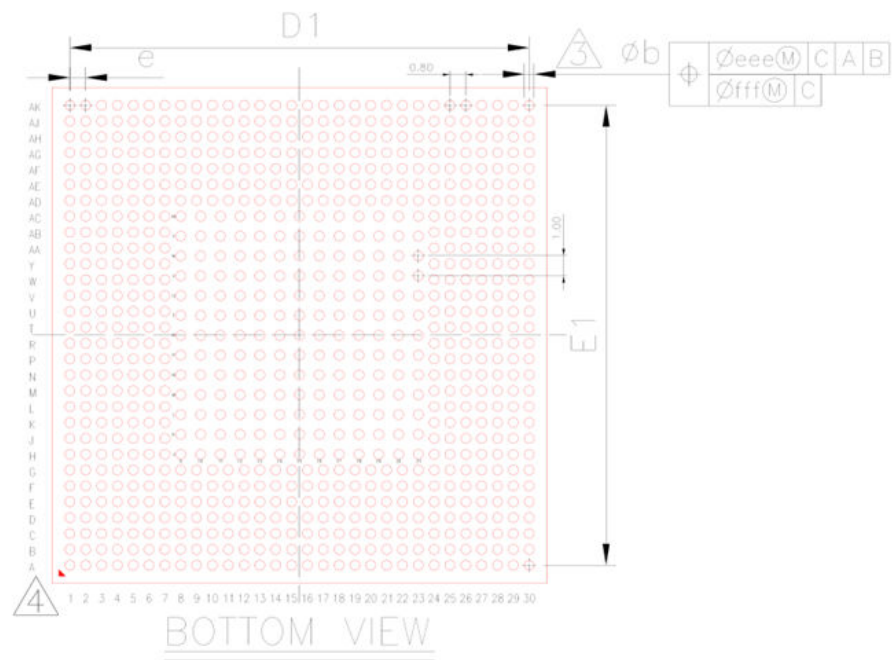




图 8-6 封装 POD 参数表

Symbol	Dimension in mm			Dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
A	2.398	2.556	2.714	0.094	0.101	0.107
A1	0.35	0.40	0.45	0.014	0.016	0.018
A2	2.006	2.156	2.306	0.079	0.085	0.091
c	0.656	0.756	0.856	0.026	0.030	0.034
D	24.80	25.00	25.20	0.976	0.984	0.992
E	24.80	25.00	25.20	0.976	0.984	0.992
D1	---	23.20	---	---	0.913	---
E1	---	23.20	---	---	0.913	---
e	---	0.8/1	---	---	0.031/0.039	---
b	0.45	0.50	0.55	0.018	0.020	0.022
aaa	0.20			0.008		
ccc	0.25			0.010		
ddd	0.20			0.008		
eee	0.20			0.008		
fff	0.08			0.003		
MD/ME	30/30					

8.4 封装参数

8.4.1 Hi309a 封装物理参数

Hi309a封装物理参数如表8-2所示。

表 8-2 Hi309a 封装物理参数

参数	数值
封装尺寸	25mm×25mm
球间距	0.8mm/1.0mm
焊球数	813
封装体内置散热片尺寸（Heat Spreader）	24.6mm×24.6mm
散热盖凸台尺寸	17.28mm×17.28mm
器件高度	2.398mm~2.714mm
器件重量（实际测试后的结果）	10g



参数	数值
封装整体短期（时间5min）可承受最大压力	9kg
封装整体长期可承受最大压力 （700cycle的-55℃~125℃温度范围的TC）	8.13kg
单个焊球可承受最大压力	10g
封装Underfill的Tg值	115℃
封装molding compound的Tg值	不涉及
封装reflow过程中动态warpage最大值	满足JEDEC规格

说明

- 单板专家不可将本参数作为芯片在单板PCB上的焊点（含焊球）可承受的最大拉力规格使用。芯片在单板PCB上的焊点和焊球可承受(不出现焊点断裂或者焊球脱落等可靠性问题)的最大拉力由单板工艺专家根据单板工艺参数和单板应用场景等要素评估，并保证单板焊点的可靠性。
- 基板板材CTE：单板PCB由于材料、厚度差异，不同单板PCB的CTE可能差异很大。如单板PCB的CTE与芯片基板的CTE差异过大，单板在应用过程中可能因为温变引起的机械应力过大导致单板出现crack的失效问题。单板PCB设计时应组织单板互连专家、单板工艺专家保证单板PCB和芯片基板的CTE匹配度满足系统的可靠性要求。

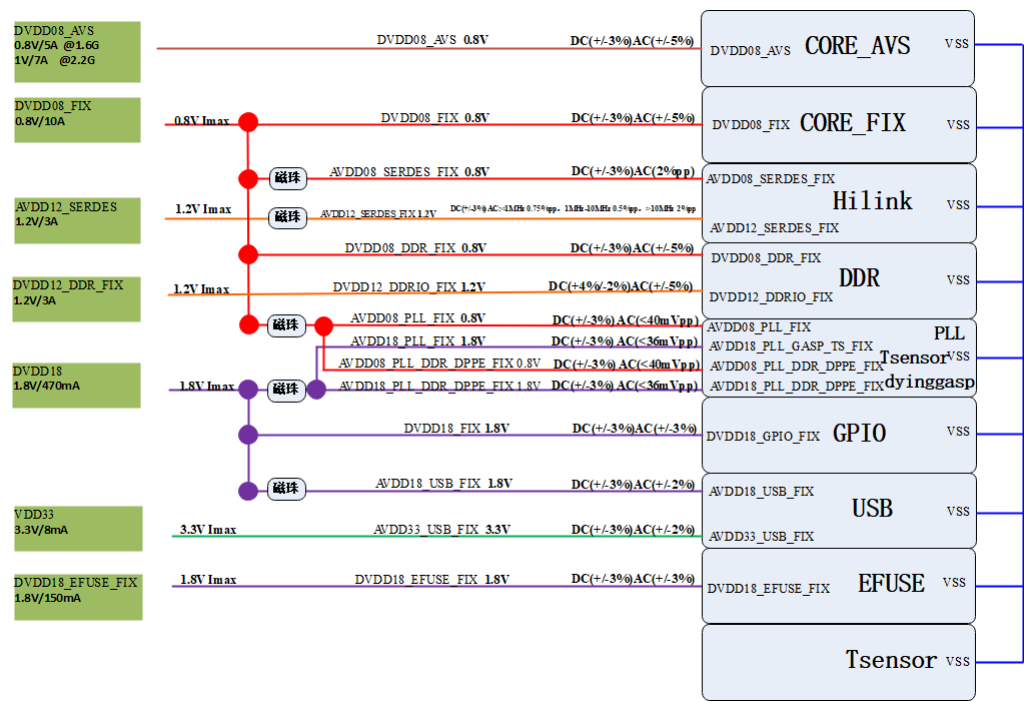


9 单板 PCB 设计参考

9.1 系统设计指导

9.1.1 电源

图 9-1 Hi309a 板级电源拓扑图



9.1.2 SerDes 接口

在SerDes接口单板设计和布线中，对于输入时钟和信号走线均有比较严格的要求，在PCB设计时要遵循这些原则。



- 差分时钟布线要求：
 - SerDes时钟需要满足电气参数部分对时钟的要求。SerDes输入时钟需要做相应的配合网络，满足SerDes部分对时钟的电气要求。
 - SerDes差分时钟给SerDes IP内部PLL提供输入参考时钟。请在布线时注意保持走线尽量短，靠近芯片，不受其他信号线干扰。
 - 输入时钟P端与N端之间平行等长布线。差分阻抗按照全链路阻抗最优进行控制。建议参考时钟走线以时钟源的地为参考层，建议走带状线。参考时钟走线避免穿越电源分割区域，保持完整的参考平面。如果参考时钟走线附近有与其平行的信号线，建议使用地线屏蔽隔离。
- 差分信号布线要求：
 - SerDes差分数据信号P/N之间的长度需要控制等长，P/N端的走线长度差不能超过3.5mil。
 - 差分信号并行走线。SerDes走线长度需要满足SerDes驱动能力要求。SerDes走线周围无其他信号干扰，对于快边沿以及大幅度信号尤其要小心注意。在信号走线周围放置与地连通的过孔，保持良好的信号回流路径。
 - SerDes信号PCB阻抗控制：建议PCB板的差分走线阻抗根据PKG阻抗进行全链路优化设计，实际情况控制在 $90\Omega (+/-10\%)$ 。差分信号走线避免穿越电源分割区域，保持完整的参考平面，建议参考平面的宽度大于20倍线宽，走线过孔尽可能少，建议走带状线。避免差分信号走线使用直角拐弯；避免差分信号走线上产生STUB。避免输入差分信号与输出差分信号在PCB走线相邻；避免输入差分信号与输出差分信号在连接器的管脚相邻；避免差分信号和单端信号在PCB走线相邻；避免差分信号和单端信号在连接器的管脚相邻。
 - SerDes信号走线需满足Hilink对SerDes插损IL、回损RL的要求，需要进行全链路分析，保证满足相应的要求。
 - SerDes接口信号芯片封装内部走线长度，请联系FAE获取。
 - SerDes接口信号芯片封装内部阻抗控制，请联系FAE获取。
 - SerDes接口信号芯片封装损耗表，请联系FAE获取。
 - SerDes接口信号芯片封装模型，请联系FAE获取。
 - PCIEX2/X4 对应多条lane之间的长度要控制等长，lane之间的走线延迟差不能超过0.8ns。

9.1.3 DDR 接口

DDR接口可以根据不同单板的实现形式进行灵活布线，板级设计需要根据单板设计选择合适的拓扑。板级需要进行SI仿真确保相应拓扑无SI问题。

Hi309a支持DDR4（最高@3200Mbps）和DDR5（最高@3600Mbps）两种协议。

9.1.3.1 DDR 信号分组

Hi309a DDR接口信号可以分为四组：时钟信号、地址控制命令信号、源同步信号和其他信号；其对应的分组以及复用关系如表9-1所示。

PKG_NET_Name一项此处没有添加前缀，DDR0前缀为通道0的信号，DDR1前缀为通道1的信号。



表 9-1 DDR 管脚分组复用表

pkg_net_name	DDR4 64bit (网络)	DDR5 64bit (网络)	DDR4 32bit (无线)	DDR5 32bit+8 ECC (无线)	DDR4 16bit (无线)	DDR5 16bit+8 ECC (无线)	Channel & Byte
DQ0_A	DQ0_A	DQ0_A	DQ0_A	DQ0_A	DQ0_A	DQ0_A	DDR4 Single CH : channel 0 DDR5 Dual CH : channel 0
DQ1_A	DQ1_A	DQ1_A	DQ1_A	DQ1_A	DQ1_A	DQ1_A	
DQ2_A	DQ2_A	DQ2_A	DQ2_A	DQ2_A	DQ2_A	DQ2_A	
DQ3_A	DQ3_A	DQ3_A	DQ3_A	DQ3_A	DQ3_A	DQ3_A	
DQS0_T_A	DQS0_T_A	DQS0_T_A	DQS0_T_A	DQS0_T_A	DQS0_T_A	DQS0_T_A	
DQS0_C_A	DQS0_C_A	DQS0_C_A	DQS0_C_A	DQS0_C_A	DQS0_C_A	DQS0_C_A	
DM0_T_A	DM0_T_A	DM0_T_A	DM0_T_A	DM0_T_A	DM0_T	DM0_T	
DM0_C_A	DM0_C_A	DM0_C_A	DM0_C_A	DM0_C_A	DM0_C	DM0_C	
DQ4_A	DQ4_A	DQ4_A	DQ4_A	DQ4_A	DQ4_A	DQ4_A	
DQ5_A	DQ5_A	DQ5_A	DQ5_A	DQ5_A	DQ5_A	DQ5_A	
DQ6_A	DQ6_A	DQ6_A	DQ6_A	DQ6_A	DQ6_A	DQ6_A	
DQ7_A	DQ7_A	DQ7_A	DQ7_A	DQ7_A	DQ7_A	DQ7_A	



pkg_net_name	DDR4 64bit (网络)	DDR5 64bit (网络)	DDR4 32bit (无线)	DDR5 32bit+8 ECC (无线)	DDR4 16bit (无线)	DDR5 16bit+8 ECC (无线)	Channel & Byte
DQ8_A	DQ8_A	DQ8_A	DQ8_A	DQ8_A	DQ8_A	DQ8_A	DDR4 Single CH : chan- nel 1 DDR5 SD Dual CH : chan- nel 1
DQ9_A	DQ9_A	DQ9_A	DQ9_A	DQ9_A	DQ9_A	DQ9_A	
DQ10_A	DQ10_A	DQ10_A	DQ10_A	DQ10_A	DQ10_A	DQ10_A	
DQ11_A	DQ11_A	DQ11_A	DQ11_A	DQ11_A	DQ11_A	DQ11_A	
DQS1_T_A	DQS1_T_A	DQS1_T_A	DQS1_T_A	DQS1_T_A	DQS1_T_A	DQS1_T_A	
DQS1_C_A	DQS1_C_A	DQS1_C_A	DQS1_C_A	DQS1_C_A	DQS1_C_A	DQS1_C_A	
DM1_T_A	DM1_T_A	DM1_T_A	DM1_T_A	DM1_T_A	DM1_T	DM1_T	
DM1_C_A	DM1_C_A	DM1_C_A	DM1_C_A	DM1_C_A	DM1_C	DM1_C	
DQ12_A	DQ12_A	DQ12_A	DQ12_A	DQ12_A	DQ12_A	DQ12_A	
DQ13_A	DQ13_A	DQ13_A	DQ13_A	DQ13_A	DQ13_A	DQ13_A	
DQ14_A	DQ14_A	DQ14_A	DQ14_A	DQ14_A	DQ14_A	DQ14_A	DDR4 Single CH : chan- nel 2 DDR5 SD Dual CH : chan- nel 2
DQ15_A	DQ15_A	DQ15_A	DQ15_A	DQ15_A	DQ15_A	DQ15_A	
DQ16_A	DQ16_A	DQ16_A	DQ16_A	DQ16_A	-	-	
DQ17_A	DQ17_A	DQ17_A	DQ17_A	DQ17_A	-	-	
DQ18_A	DQ18_A	DQ18_A	DQ18_A	DQ18_A	-	-	
DQ19_A	DQ19_A	DQ19_A	DQ19_A	DQ19_A	-	-	
DQS2_T_A	DQS2_T_A	DQS2_T_A	DQS2_T_A	DQS2_T_A	-	-	
DQS2_C_A	DQS2_C_A	DQS2_C_A	DQS2_C_A	DQS2_C_A	-	-	
DM2_T_A	DM2_T_A	DM2_T_A	DM2_T_A	DM2_T_A	-	-	
DM2_C_A	DM2_C_A	DM2_C_A	DM2_C_A	DM2_C_A	-	-	
DQ20_A	DQ20_A	DQ20_A	DQ20_A	DQ20_A	-	-	chan- nel 2
DQ21_A	DQ21_A	DQ21_A	DQ21_A	DQ21_A	-	-	



pkg_net_name	DDR4 64bit (网络)	DDR5 64bit (网络)	DDR4 32bit (无线)	DDR5 32bit+8 ECC (无线)	DDR4 16bit (无线)	DDR5 16bit+8 ECC (无线)	Channel & Byte
DQ22_A	DQ22_A	DQ22_A	DQ22_A	DQ22_A	-	-	
DQ23_A	DQ23_A	DQ23_A	DQ23_A	DQ23_A	-	-	
DQ24_A	DQ24_A	DQ24_A	DQ24_A	DQ24_A	-	-	DDR4 Single CH : ch a Byt e3 DDR5 SD Du al CH : ch a Byt e3
DQ25_A	DQ25_A	DQ25_A	DQ25_A	DQ25_A	-	-	
DQ26_A	DQ26_A	DQ26_A	DQ26_A	DQ26_A	-	-	
DQ27_A	DQ27_A	DQ27_A	DQ27_A	DQ27_A	-	-	
DQS3_T_A	DQS3_T_A	DQS3_T_A	DQS3_T_A	DQS3_T_A	-	-	
DQS3_C_A	DQS3_C_A	DQS3_C_A	DQS3_C_A	DQS3_C_A	-	-	
DM3_T_A	DM3_T_A	DM3_T_A	DM3_T_A	DM3_T_A	-	-	
DM3_C_A	DM3_C_A	DM3_C_A	DM3_C_A	DM3_C_A	-	-	
DQ28_A	DQ28_A	DQ28_A	DQ28_A	DQ28_A	-	-	
DQ29_A	DQ29_A	DQ29_A	DQ29_A	DQ29_A	-	-	
DQ30_A	DQ30_A	DQ30_A	DQ30_A	DQ30_A	-	-	
DQ31_A	DQ31_A	DQ31_A	DQ31_A	DQ31_A	-	-	



pkg_net_name	DDR4 64bit (网络)	DDR5 64bit (网络)	DDR4 32bit (无线)	DDR5 32bit+8 ECC (无线)	DDR4 16bit (无线)	DDR5 16bit+8 ECC (无线)	Channel & Byte
CB0_A	CB0_A	CB0_A	A13	CB0_A	A13	CB0_A	DDR4 Single CH : ch a Byte8 DDR5 SD Dual CH : ch a Byte4
CB1_A	CB1_A	CB1_A	A15	CB1_A	A15	CB1_A	
CB2_A	CB2_A	CB2_A	A14	CB2_A	A14	CB2_A	
CB3_A	CB3_A	CB3_A	A16	CB3_A	A16	CB3_A	
DQS4_T_A	DQS8_T_A	DQS4_T_A	A10	DQS4_T_A	A10	DQS2_T_A	
DQS4_C_A	DQS8_C_A	DQS4_C_A	-	DQS4_C_A	-	DQS2_C_A	
DM4_T_A	DM8_T_A	DM4_T_A	CS0_n_D0	DM4_T_A	CS0_n_D0	DM2_T_A	
DM4_C_A	DM8_C_A	DM4_C_A	-	DM4_C_A	-	DM2_C_A	
CB4_A	CB4_A	CB4_A	BA0	CB4_A	BA0	CB4_A	
CB5_A	CB5_A	CB5_A	BA1	CB5_A	BA1	CB5_A	
CB6_A	CB6_A	CB6_A	A0	CB6_A	A0	CB6_A	
CB7_A	CB7_A	CB7_A	PAR	CB7_A	PAR	CB7_A	
CB0_B	-	CB0_B	-	-	-	-	DDR4 Single CH : NA DDR5 SD Dual CH : ch b Byte4
CB1_B	-	CB1_B	-	-	-	-	
CB2_B	-	CB2_B	-	-	-	-	
CB3_B	-	CB3_B	-	-	-	-	
DQS4_T_B	-	DQS4_T_B	-	-	-	-	
DQS4_C_B	-	DQS4_C_B	-	-	-	-	
DM4_T_B	-	DM4_T_B	-	-	-	-	
DM4_C_B	-	DM4_C_B	-	-	-	-	
CB4_B	-	CB4_B	-	-	-	-	
CB5_B	-	CB5_B	-	-	-	-	



pkg_net_name	DDR4 64bit (网络)	DDR5 64bit (网络)	DDR4 32bit (无线)	DDR5 32bit+8 ECC (无线)	DDR4 16bit (无线)	DDR5 16bit+8 ECC (无线)	Channel & Byte
CB6_B	-	CB6_B	-	-	-	-	
CB7_B	-	CB7_B	-	-	-	-	
DQ0_B	DQ32_A	DQ0_B	-	-	-	-	DDR4 Single CH : ch a Byt e4 DDR5 SD Du al CH : ch b Byt e3
DQ1_B	DQ33_A	DQ1_B	-	-	-	-	
DQ2_B	DQ34_A	DQ2_B	-	-	-	-	
DQ3_B	DQ35_A	DQ3_B	-	-	-	-	
DQS0_T_B	DQS4_T_A	DQS0_T_B	-	-	-	-	
DQS0_C_B	DQS4_C_A	DQS0_C_B	-	-	-	-	
DM0_T_B	DM4_T_A	DM0_T_B	-	-	-	-	
DM0_C_B	DM4_C_A	DM0_C_B	-	-	-	-	
DQ4_B	DQ36_A	DQ4_B	-	-	-	-	
DQ5_B	DQ37_A	DQ5_B	-	-	-	-	
DQ6_B	DQ38_A	DQ6_B	-	-	-	-	
DQ7_B	DQ39_A	DQ7_B	-	-	-	-	



pkg_net_name	DDR4 64bit (网络)	DDR5 64bit (网络)	DDR4 32bit (无线)	DDR5 32bit+8 ECC (无线)	DDR4 16bit (无线)	DDR5 16bit+8 ECC (无线)	Channel & Byte
DQ8_B	DQ40_A	DQ8_B	-	-	-	-	DDR4 Single CH : ch a Byte5 DDR5 SD Dual CH : ch b Byte2
DQ9_B	DQ41_A	DQ9_B	-	-	-	-	
DQ10_B	DQ42_A	DQ10_B	-	-	-	-	
DQ11_B	DQ43_A	DQ11_B	-	-	-	-	
DQS1_T_B	DQS5_T_A	DQS1_T_B	-	-	-	-	
DQS1_C_B	DQS5_C_A	DQS1_C_B	-	-	-	-	
DM1_T_B	DM5_T_A	DM1_T_B	-	-	-	-	
DM1_C_B	DM5_C_A	DM1_C_B	-	-	-	-	
DQ12_B	DQ44_A	DQ12_B	-	-	-	-	
DQ13_B	DQ45_A	DQ13_B	-	-	-	-	
DQ14_B	DQ46_A	DQ14_B	-	-	-	-	
DQ15_B	DQ47_A	DQ15_B	-	-	-	-	
DQ16_B	DQ48_A	DQ16_B	-	-	-	-	DDR4 Single CH : ch a Byte6 DDR5 SD Dual CH : ch b Byte1
DQ17_B	DQ49_A	DQ17_B	-	-	-	-	
DQ18_B	DQ50_A	DQ18_B	-	-	-	-	
DQ19_B	DQ51_A	DQ19_B	-	-	-	-	
DQS2_T_B	DQS6_T_A	DQS2_T_B	-	-	-	-	
DQS2_C_B	DQS6_C_A	DQS2_C_B	-	-	-	-	
DM2_T_B	DM6_T_A	DM2_T_B	-	-	-	-	
DM2_C_B	DM6_C_A	DM2_C_B	-	-	-	-	
DQ20_B	DQ52_A	DQ20_B	-	-	-	-	
DQ21_B	DQ53_A	DQ21_B	-	-	-	-	



pkg_net_name	DDR4 64bit (网络)	DDR5 64bit (网络)	DDR4 32bit (无线)	DDR5 32bit+8 ECC (无线)	DDR4 16bit (无线)	DDR5 16bit+8 ECC (无线)	Channel & Byte
DQ22_B	DQ54_A	DQ22_B	-	-	-	-	
DQ23_B	DQ55_A	DQ23_B	-	-	-	-	
DQ24_B	DQ56_A	DQ24_B	-	-	-	-	DDR4 Single CH : ch a Byt e7 DDR5 SD Du al CH : ch a Byt e0
DQ25_B	DQ57_A	DQ25_B	-	-	-	-	
DQ26_B	DQ58_A	DQ26_B	-	-	-	-	
DQ27_B	DQ59_A	DQ27_B	-	-	-	-	
DQS3_T_B	DQS7_T_A	DQS3_T_B	-	-	-	-	
DQS3_C_B	DQS7_C_A	DQS3_C_B	-	-	-	-	
DM3_T_B	DM7_T_A	DM3_T_B	-	-	-	-	
DM3_C_B	DM7_C_A	DM3_C_B	-	-	-	-	
DQ28_B	DQ60_A	DQ28_B	-	-	-	-	
DQ29_B	DQ61_A	DQ29_B	-	-	-	-	
DQ30_B	DQ62_A	DQ30_B	-	-	-	-	
DQ31_B	DQ63_A	DQ31_B	-	-	-	-	
CS1_B	A17	CS1_B	-	-	-	-	DDR4 Single CH : CA DDR5 SD Du al CH : CA
CS0_B	A13	CS0_B	-	-	-	-	
CA12_B	A15	CA12_B	-	-	-	-	
CA11_B	A14	CA11_B	-	-	-	-	
CA10_B	A16	CA10_B	-	-	-	-	
CA9_B	A10	CA9_B	-	-	-	-	
CA8_B	CS1_n_D0	CA8_B	-	-	-	-	
CA7_B	CS0_n_D0	CA7_B	-	-	-	-	
CA6_B	BA0	CA6_B	-	-	-	-	



pkg_net_name	DDR4 64bit (网络)	DDR5 64bit (网络)	DDR4 32bit (无线)	DDR5 32bit+8 ECC (无线)	DDR4 16bit (无线)	DDR5 16bit+8 ECC (无线)	Channel & Byte
CA5_B	BA1	CA5_B	-	-	-	-	
CA4_B	A0	CA4_B	-	-	-	-	
CA3_B	PAR	CA3_B	-	-	-	-	
RESET_n	RESET_n	RESET_n	RESET_n	RESET_n	RESET_n	RESET_n	-
ALERT_n	ALERT_n	ALERT_n	ALERT_n	ALERT_n	ALERT_n	ALERT_n	
CK3_T	CK_t_3	CK_t_3	-	-	-	-	DDR4 Single CH : CLK DDR5 SD Dual CH : CLK
CK3_C	CK_c_3	CK_c_3	-	-	-	-	
CK2_T	CK_t_2	CK_t_2	-	-	-	-	DDR4 Single CH : CLK DDR5 SD Dual CH : CLK
CK2_C	CK_c_2	CK_c_2	-	-	-	-	



pkg_net_name	DDR4 64bit (网络)	DDR5 64bit (网络)	DDR4 32bit (无线)	DDR5 32bit+8 ECC (无线)	DDR4 16bit (无线)	DDR5 16bit+8 ECC (无线)	Channel & Byte
CK1_T	CK_t_1	CK_t_1	-	-	-	-	DDR4 Single CH : CLK DDR5 SD Dual CH : CLK
CK1_C	CK_c_1	CK_c_1	-	-	-	-	-
CK0_T	CK_t_0	CK_t_0	CK_t_0	CK_t_0	CK_t_0	CK_t_0	DDR4 Single CH : CLK DDR5 SD Dual CH : CLK
CK0_C	CK_c_0	CK_c_0	CK_c_0	CK_c_0	CK_c_0	CK_c_0	-
ZQ0	ZQ0	ZQ0	ZQ0	ZQ0	ZQ0	ZQ0	-



pkg_net_name	DDR4 64bit (网络)	DDR5 64bit (网络)	DDR4 32bit (无线)	DDR5 32bit+8 ECC (无线)	DDR4 16bit (无线)	DDR5 16bit+8 ECC (无线)	Channel & Byte
CA2_B	CKE1_D0	CA2_B	-	-	-	-	DDR4 Single CH : CA DDR5 SD Dual CH : CA
CA1_B	ODT1_D0	CA1_B	-	-	-	-	
CA0_B	A1	CA0_B	A1	-	A1	-	
CA12_A	A2	CA12_A	A2	CA12_A	A2	CA12_A	
CA11_A	A3	CA11_A	A3	CA11_A	A3	CA11_A	
CA10_A	A4	CA10_A	A4	CA10_A	A4	CA10_A	
CA9_A	A5	CA9_A	A5	CA9_A	A5	CA9_A	
CA8_A	A6	CA8_A	A6	CA8_A	A6	CA8_A	
CA7_A	A8	CA7_A	A8	CA7_A	A8	CA7_A	
CA6_A	A7	CA6_A	A7	CA6_A	A7	CA6_A	
CA5_A	A9	CA5_A	A9	CA5_A	A9	CA5_A	
CA4_A	A11	CA4_A	A11	CA4_A	A11	CA4_A	
CA3_A	A12	CA3_A	A12	CA3_A	A12	CA3_A	
CA2_A	BG0	CA2_A	BG0	CA2_A	BG0	CA2_A	
CA1_A	BG1	CA1_A	BG1	CA1_A	BG1	CA1_A	
CA0_A	ACT_n	CA0_A	ACT_n	CA0_A	ACT_n	CA0_A	
CS1_A	CKE0_D0	CS1_A	CKE0_D0	-	CKE0_D0	-	
CS0_A	ODT0_D0	CS0_A	ODT0_D0	CS0_A	ODT0_D0	CS0_A	
TST_P	TST_P	TST_P	TST_P	TST_P	TST_P	TST_P	-
TST_N	TST_N	TST_N	TST_N	TST_N	TST_N	TST_N	
LBS	LBS	LBS	LBS	LBS	LBS	LBS	-
LBD	LBD	LBD	LBD	LBD	LBD	LBD	-
ATB0	ATB0	ATB0	ATB0	ATB0	ATB0	ATB0	-
ATB1	ATB1	ATB1	ATB1	ATB1	ATB1	ATB1	-



9.1.3.2 DDR Rank 映射关系

表 9-2 DDR Rank 映射关系表

场景	通道	rank num	CS (ddr/ dimm name)	CS (pkg net name)	CKE (ddr/ dimm name)	CKE (pkg net name)	ODT (ddr/ dimm name)	ODT (pkg net name)
DDR4 Single Channel	ch 0	rank 0	CS0_n_D0	CA7_B	CKE0_D0	CS1_A	ODT0_D0	CB3_B
		rank 1	CS1_n_D0	CA8_B	CKE1_D0	CS0_A	ODT1_D0	CB2_B
DDR5 SD dual Channel	ch 0	rank 0	CS0_A	CS0_A	NA	NA	NA	NA
		rank 1	CS1_A	CS1_A	NA	NA	NA	NA
	ch 1	rank 0	CS0_B	CS0_B	NA	NA	NA	NA
		rank 1	CS1_B	CS1_B	NA	NA	NA	NA

mirror: DDR4贴片单rank场景下，可使用DMC的mirror配置，将原来用做rank1的CS复用给rank0的CS。

表 9-3 DDR4 单 rank 场景

场景	通道	rank num	CS (ddr/ dimm name)	CS (pk g net name)	CKE (ddr/ dimm name)	CKE (pk g net name)	ODT (ddr/ dimm name)	ODT (pk g net name)
DDR4 Single Channel	ch 0	rank0	CS0_n_D0	CA7_B	CKE0_D0	CS1_A	ODT0_D0	CB3_B
		rank0(mirror)	CS0_n_D0	CA8_B	CKE0_D0	CS0_A	ODT0_D0	CB2_B

DDR5贴片单rank场景下，可使用DMC的mirror配置，将原来用做rank1的CS复用给rank0的CS。



表 9-4 DDR5 单 rank 场景

场景	通道	rank num	CS (ddr/ dimm name)	CS (pkg net name)	CKE (ddr/ dimm name)	CKE (pkg net name)	OD T (ddr/ dimm name)	OD T (pkg net name)
DDR5 SD dual Channel	ch0	rank0	CS0_A	CS0_A	NA	NA	NA	NA
		rank0(mirror)	CS0_A	CS1_A	NA	NA	NA	NA
	ch1	rank0	CS0_B	CS0_B	NA	NA	NA	NA
		rank0(mirror)	CS0_B	CS1_B	NA	NA	NA	NA

扩展：

DDR4贴片单/双rank驱动能力不足情况下，可使用DFI MUX配置copy场景，可使用下述的红色的管脚。比如rank0 CS有两个管脚可用：CA7_B和CB6_B。

表 9-5 DDR4 单通道场景

场景	通道	rank num	CS (ddr/ dimm name)	CS (pkg net name)	CKE (ddr/ dimm name)	CKE (pkg net name)	ODT (ddr/ dimm name)	ODT (pkg net name)
DDR4 Single Channel	ch0	rank 0	CS0_n_D 0	CA7_ B	CKE0_D 0	CS1_A	ODT0_D 0	CB3_ B
		rank 1	CS1_n_D 0	CA8_ B	CKE1_D 0	CS0_A	ODT1_D 0	CB2_ B
	ch0 (copy)	rank 0	CS0_n_D 0	CB6_ B	CKE0_D 1	CA1_ A	ODT0_D 1	CB0_ B
		rank 1	CS1_n_D 0	CB7_ B	CKE1_D 1	CA0_ A	ODT1_D 1	CB1_ B

DDR5贴片单rank驱动能力不足情况下，可使用DFI MUX配置copy场景，与mirror一致。



表 9-6 DDR5 双通道场景

场景	通道	rank num	CS (ddr/ dimm name)	CS (pkg net name)	CKE (d dr/ dim m na me)	CKE (p kg net na me)	OD T (d dr/ dim m na me)	OD T (p kg net na me)
DDR5 SD dual Channel	ch0	rank0	CS0_A	CS0_A	NA	NA	NA	NA
	ch0(copy)	rank0	CS0_A	CS1_A	NA	NA	NA	NA
	ch1	rank0	CS0_B	CS0_B	NA	NA	NA	NA
	ch1(copy)	rank0	CS0_B	CS1_B	NA	NA	NA	NA

9.1.3.3 DDR 走线等长约束

为了保证DDR系统的稳定可靠工作，DDR系统需要进行等长设计，该等长设计需要考虑PKG走线长度，需要进行封装+PCB联合等长设计。封装布线信息可以参考《封装 Pindelay》文件。

贴片应用如表9-7所示。

表 9-7 DDR 贴片场景走线约束

Signal Groups	From	To	Tolerance	Notes
Inter-Byte DQn	CPU	EACH_ME M	±50mil/±8ps	-
Inter-Byte DQS vs DQn	CPU	EACH_ME M	±50mil/±8ps	-
Inter-Byte DQS_P/N	CPU	EACH_ME M	±5mil/±0.8ps	-
Inter-Channel Byte vs Byte	CPU	ALL_MEM	max-min<tck	-
Inter-CA	CPU	EACH_ME M	±50mil/±8ps	-
CLK vs CA	CPU	EACH_ME M	±50mil/±8ps	1
Inter-CLK_P/N	CPU	EACH_ME M	±5mil/±0.8ps	-
CLK vs DQS	CPU	EACH_ME M	-1tCK<CLK-DQS <4tCK	-



Signal Groups	From	To	Tolerance	Notes
DQ&DQS	CPU	EACH_MEM	<3tCK	DQ、DQS长度小于3tCK。
Different Ranks DQ	CPU	EACH_MEM	<tCK	双RANK场景同一根DQ线接到不同RANK颗粒走线长度差异小于tCK。

Inter-Byte DQn 是指同一个Byte内不同DQ之间的约束；Inter-Channel Byte vs Byte是指同一个通道内不同Byte之间的约束；走线约束以时间指标为准；走线长度指标与PCB板材有关，仅供参考。

EACH_MEM是指一个颗粒之内的约束；ALL_MEM是涵盖所有颗粒的约束。

其他特殊信号的处理如表9-8所示。

表 9-8 DDR 特殊信号走线约束

pkg_net_name	Note
TST_P	TST_P/N为时钟测试信号，需要差分设计(100Ω)，不需要同其他线进行等长设计
TST_N	
LBD	LBD、LBS为DDR5引入的环回测试信号，两条线需要进行等长设计，控制在±50mil内，但是不需要考虑其他信号
LBS	
ATB0	模拟测试bus，不需要考虑同其他走线的等长约束
ATB1	

1. 上面表9-7和表9-8中的等长约束都是基于最高性能的基础上做出的约束，如果不使用在最高性能的前提下，可以考虑适当放松相应的约束，需要仿真基于timing margin决定。
2. 上面表9-7和表9-8中的等长设计需要考虑PKG走线delay。
3. 标准Tck为一个CLK周期。
4. 上述时序约束以及等长设计是按延时考虑的，不是仅仅考虑走线长度。不同板材以及不同负载会导致同样长度的物理走线延时不一致，需要注意这种情况。
5. 为了最大化CA Margin，建议CA走线不短于CLK走线，需要进行板级仿真保证时序Margin。

9.1.3.4 贴片应用基本走线约束

贴片应用：产品应用场景复杂，数据走线大致为1驱1或者1驱2；其地址走线，对于DDR4，可以1驱9（单Rank X8颗粒）或者1驱18（双Rank X8颗粒）或者其他（1驱5 X16颗粒），对于DDR5，常见应用为1驱5（单Rank X8颗粒）或者1驱10（双Rank X8颗粒）。

9.1.3.4.1 时钟走线设计

DDR时钟信号的信号质量影响地址控制命令线的采样，DDR时钟信号的抖动影响数据信号的读窗口，DDR时钟信号在DDR系统中非常重要，单板设计走线需要重点照顾时钟走线。对于DDR4时钟信号为SSTL电平，单板需要提供独立的RTT电阻进行匹配设计，对于DDR5时钟信号为POD电平，颗粒内置的匹配电阻。此部分详细设计描述参考相应的Jedec协议部分。

- 时钟信号基本要求
 - DDR时钟信号需要保证到各个颗粒处的边沿保持单调，不能出现回沟。
 - DDR时钟信号的电气性能需要满足Jedec定义的要求。
- 时钟信号布线要求
 - 时钟信号走线推荐以VSS作为参考平面，走线不能跨分割。
 - 时钟信号走线与其他信号并行走线须满足“4H规则”，内层走线。
 - 时钟信号走线控制等长，PN Skew到每个颗粒都保证控制在 $\pm 5\text{mil}$ 以内。
 - 时钟信号走线到颗粒的Stub尽量短，推荐控制到50mil以下，不同速率可能要求不同，可以适当放松，需要仿真确定。
 - DDR4应用，时钟信号板级匹配为跨接电阻，推荐的匹配电阻为 $36\Omega\sim 40\Omega$ ，匹配方式为两个匹配电阻串联，中间通过电容10nf/100nf电容连接到电源或者地上，连接匹配电阻的走线阻抗同匹配电阻一致，例如匹配电阻选用 36Ω （单端），则匹配电阻连线阻抗控制为 36Ω （单端），同时该走线尽量短。
 - DDR5应用，匹配电阻集成到颗粒的内部，单板不需要放置相应的匹配电阻。对于1驱10应用（时钟1驱5），推荐的匹配电阻模式为OFF-OFF-OFF-OFF-60 Ω 。
 - 时钟信号一驱多，反射影响时钟性能，板级设计需要考虑颗粒之间的距离，不同走线的阻抗，推荐主线阻抗控制到差分80 Ω 左右，颗粒间阻抗控制到差分100 Ω ，颗粒之间的走线距离控制到700mil以内（对贴）500mil以内（单面贴）。
 - 时钟信号一驱多，对于部分恶略场景，可以使用多对时钟驱动一组总线，比如可以通过一个一驱四和一个一驱五共同实现一驱九的情况。
 - 时钟信号工作速率较低时（ $<1333\text{MHz}$ ），可以考虑在源端预留电容来保证信号质量，高于此速率不建议源端加电容，或者需要慎重考虑。
 - 时钟信号是DDR系统的基础，板级SI需要进行一定的仿真分析以释放时钟应用风险。

9.1.3.4.2 地址控制命令走线设计

地址控制命令走线根据应用模式可以分为两组，一组为1T信号（CS、ODT、CKE），一组为2T信号，推荐使用2T信号增加地址控制命令走线的SI Margin，以便增加系统应用的可靠性。同时钟信号一样，地址控制命令走线DDR4模式时为SSTL电平，DDR5模式时为POD电平。

- 地址控制命令信号基本要求。

地址控制命令信号的电平需要满足Jedec定义的各种摆幅要求。
- 地址控制命令信号布线要求。
 - 地址控制命令信号走线以VSS作为参考平面，走线不能跨分割。
 - 地址控制命令信号之间走线Space至少要大于3H，同数据信号走线Space至少要大于5H。



- 地址控制命令信号走线到颗粒的分支尽量短，1T信号推荐控制到70mil以下，2T信号推荐控制到130mil以下；不同速率可能要求不同，可以适当放松，需要仿真确定。
- 地址控制命令信号一驱多，反射影响信号性能，板级设计需要考虑颗粒之间的距离，不同走线的阻抗，推荐主线阻抗控制到40Ω左右，颗粒间阻抗控制到55Ω~60Ω，颗粒之间的距离控制到700mil以内（对贴）500mil以内（单面贴）。
- 地址控制命令信号需要考虑在主线上并联电容来改善该组信号线的信号质量。
- 地址控制命令信号驱动多rank或者背对背的贴片应用场景建议到两个背靠背颗粒的走线进行对称设计。
- DDR4应用，地址控制命令信号板级匹配为RTT电阻，推荐的匹配电阻为36Ω~40Ω，可以通过戴维南匹配实现，也可以通过单独生成一路VTT电源和RTT电阻实现。连接匹配电阻的走线阻抗同匹配电阻一致，例如匹配电阻选用36Ω，则匹配电阻连线阻抗控制为36Ω，同时该走线尽量短。
- DDR5应用，匹配电阻集成到颗粒的内部，单板不需要放置相应的匹配电阻。对于1驱10应用，推荐的匹配电阻模式为2T信号OFF-OFF-OFF-OFF-80Ω，1T信号OFF-OFF-OFF-OFF-40Ω。

9.1.3.4.3 DQS 信号走线设计

- DQS信号基本要求。
DQS信号的电平需要满足Jedec定义的各种摆幅要求。
- DQS信号布线要求。
 - DQS信号走线控制阻抗 $100\Omega \pm 10\%$ ，以VSS作为参考平面，走线不能跨分割。
 - 同组信号需保证在同一层完成布线，同组信号内部走线Space至少要大于4H。
 - 不同组信号之间需保证信号间Space至少大于5H。

9.1.3.4.4 DQ 信号走线设计

- DQ信号基本要求
DQ信号的电平需要满足Jedec定义的各种摆幅要求。
- DQ信号布线要求
 - DQ信号走线控制阻抗 $50\Omega \pm 10\%$ ，以VSS作为参考平面，走线不能跨分割。
 - 同组信号需保证在同一层完成布线，同组信号内部走线Space至少要大于4H。
 - 不同组信号之间需保证信号间Space至少大于5H。

9.1.3.4.5 其他要求

- 所有DDR信号走线必须走在邻近地平面的走线层，避免信号走线穿越电源地分割区域，必须保证DDR信号走线都有完整的参考平面，在信号布线周围放置与地连通的过孔，保持良好的信号回流路径。
- 同组信号尽量保证同组同层，以保证所有信号的传播速度相同，有利于保证时序；一组信号与其他组信号间距尽量大。
- 关键信号如时钟信号等，避免紧邻数据、地址总线；避免地址信号紧邻数据信号。



- DDR信号与非DDR信号布线间隔不少于10H线距。
- 过孔尽可能少。
- 信号过孔需要使用地孔隔离。

9.1.3.5 DDR 特殊走线设计

其他信号走线设计：

- ZQ信号为DDR的校准电阻，单板走线需要注意隔离，同时走线尽量短，外接电阻为240Ω，精度1%。
- ATB信号为DDR模拟测试线，板级走线控制50Ω，单板走线需要注意隔离。
- DDR TST信号为DDR数字测试信号线，用于测试DDR内部的时钟质量，板级设计按100Ω差分走线设计，单板走线需要注意隔离，板级分别通过两个50Ω电阻上拉到DDR IO电源，进行匹配。
- DDR LBD、LBS为DDR5接口引入的用于环回的数字信号。
- Alvert信号是OD信号，单板设计需要增加一个上拉电阻，推荐阻值1K，部分场景可以用芯片内部的odt信号，测试需要调整该IO的VREF配置，适配odt的变更。

9.1.3.6 DDR 电源 VDDQ 单板设计

DDR VDDQ电源设计需要考虑DC和AC两部分考虑。

- 对于DC部分，芯片需要保证芯片ball处芯片供电电压满足±1%，对于特殊的电源芯片选型，精度无法满足±1%，比如精度为±2%的PISI电源，则需要少量抬压（+1%），保证供电电压不低于-1%。
- 对于AC部分，单板AC阻抗需要小于6.5mΩ（低于30MHz），对应的PCB电感控制到30-40p（大于30MHz以上）左右。此处电感不一定小就好，建议单板设计进行全链路的PDN仿真，全链路的PDN阻抗最高的阻抗需要小于175mΩ。

9.1.3.7 DDR 系统仿真

DDR系统单板设计需要进行SI仿真释放应用风险。海思会提供详细的仿真模型，包括有源部分以及无源部分。单板需要对电源和信号分别进行仿真，且满足手册提供性能指标。所有的仿真需要使用S参数进行宽带仿真。

表 9-9 DDR5 仿真接口 Timing 要求

Items	Unit/ps@3200Mbps
Write Timing	201
Read Timing	135
CA Timing	325



表 9-10 DDR4 仿真接口 Timing 要求

Items	Unit/ps @2933Mbps	Unit/ps @2667Mbps	Unit/ps @2400Mbps	Unit/ps @2133Mbps
Write Timing	135	145	150	165
Read Timing	150	160	170	200
CA Timing	383	408	422	471

9.1.4 USB 接口

在USB接口的单板设计和布线中，对于输入时钟和信号走线均有比较严格的要求，在PCB设计时要遵循这些原则。

- USB2.0差分走线建议走带状线，要用GND与其他信号做隔离。防止USB被其他高速信号干扰，也防止USB干扰其他敏感信号。
- USB板级差分走线需要关注PN Skew，阻抗连续性，插损，串扰以及USB协议规定的无源SPEC指标。
- USB板级差分走线必须满足USB协议规定的无源SPEC部分。
- USB 板级差分PN Skew控制范围为小于5mil。如果协议对不同Lane的Slew有限制，请满足相应协议的要求。
- USB板级差分走线阻抗控制 $90\Omega \pm 10\%$ 。板级差分走线需要使用地平面做为参考层，同时需要保证参考面完整，不能跨分割。USB差分走线不能跨Void以及Antipad。USB差分走线注意BGA Ball，AC耦合电容以及连接器的阻抗优化；注意PCB通孔Stub的优化，需要背钻，保证链路回损最优。
- 差分对TX/RX最好分层走线，如果不能实现需要关注TX、RX之间的Space控制，差分对走线之间的Space为满足一般的需要控制在10H（H为参考叠层介质高度），周围使用地Shape进行隔离。差分对过孔需要使用地孔同其他信号或者功率孔进行隔离。

9.1.5 封装 Pindelay

9.1.5.1 Hi309a 网络版本 Pind elay

对于Hi309a来说，需要根据不同信号的要求约束PCB布线时对Package skew进行延时补偿，即等长约束为pkg+pcb联合等长，需要参考Hi309a Package的Pin delay延时文件。

须知

补偿delay是时间补偿，而非长度补偿。

Hi309a 101 封装PinDelay如表9-11所示。



表 9-11 Hi309a 封装 Pindelay 表

Net Name	Pin name	Conductor Length (microns)	Pindelay (ps)
BOOT_MODE	M1	7680.665	45.71824405
BOOT_SEL0	M2	6507.303	38.73394643
BOOT_SEL2	M6	2741.818	16.32034524
BOOT_SEL3	M5	18812.5	111.9791667
BOOT_SEL4	M4	4759.867	28.33254167
BUTTON_RSTN	AC1	9771.838	58.16570238
CAN_RSTN	AB7	9021.718	53.70070238
CLK_SEL0	AD22	20225.192	120.3880476
CLK_SEL1	AE22	25275.948	150.4520714
DDR_ALERT_N	F1	10898.345	64.87110119
DDR_ATB0	J1	7188.939	40.84624432
DDR_ATB1	K4	4182.991	23.76699432
DDR_CA0_A	H5	4468.575	25.38963068
DDR_CA0_B	J6	4268.959	25.41047024
DDR_CA1_A	K3	5595.679	33.3076131
DDR_CA1_B	D2	9099.171	51.69983523
DDR_CA10_A	H2	7829.193	46.60233929
DDR_CA10_B	F7	5849.318	34.81736905
DDR_CA11_A	G2	7895.36	46.99619048
DDR_CA11_B	B2	11583.929	65.81777841
DDR_CA12_A	E4	6992.347	39.72924432
DDR_CA12_B	G8	7320.716	43.57569048
DDR_CA2_A	G4	5753.403	32.68978977
DDR_CA2_B	J7	3416.438	20.33594048
DDR_CA3_A	K7	2348.143	13.97704167
DDR_CA3_B	B4	10116	60.21428571
DDR_CA4_A	L7	2275.167	13.54266071
DDR_CA4_B	C1	11264.599	64.00340341



Net Name	Pin name	Conductor Length (microns)	Pindelay (ps)
DDR_CA5_A	G1	8733.983	51.98799405
DDR_CA5_B	F5	6872.59	40.90827381
DDR_CA6_A	E2	8189.088	46.52890909
DDR_CA6_B	E6	7127.579	42.42606548
DDR_CA7_A	J4	5468.248	32.54909524
DDR_CA7_B	C2	11100.717	63.07225568
DDR_CA8_A	E3	7562.034	42.96610227
DDR_CA8_B	D5	8028.917	47.79117262
DDR_CA9_A	H3	6493.821	38.65369643
DDR_CA9_B	A4	11066.897	65.8743869
DDR_CB0_A	C20	8134.587	48.42016071
DDR_CB0_B	E17	5824.136	34.66747619
DDR_CB1_A	G18	4116.253	24.50150595
DDR_CB1_B	C17	7249.588	43.15230952
DDR_CB2_A	A21	9944.807	56.50458523
DDR_CB2_B	A18	9216.745	52.36786932
DDR_CB3_A	B20	8879.949	50.45425568
DDR_CB3_B	B17	8502.988	48.31243182
DDR_CB4_A	D19	7136.241	42.477625
DDR_CB4_B	G16	4008.388	23.85945238
DDR_CB5_A	D18	6750.232	38.35359091
DDR_CB5_B	E16	5553.54	31.55420455
DDR_CB6_A	C18	7511.765	44.7128869
DDR_CB6_B	A15	8816.201	52.4773869
DDR_CB7_A	F18	5655.71	33.66494048
DDR_CB7_B	D16	6474.972	38.5415
DDR_CK0_C	F4	8326.633	49.56329167
DDR_CK0_T	F3	8281.838	49.29665476
DDR_CK1_C	H7	4848.151	28.85804167



Net Name	Pin name	Conductor Length (microns)	Pindelay (ps)
DDR_CK1_T	H6	4874.394	29.01425
DDR_CK2_C	G5	6207.457	36.94914881
DDR_CK2_T	G6	6191.132	36.85197619
DDR_CK3_C	A3	12253.741	72.93893452
DDR_CK3_T	B3	12207.063	72.66108929
DDR_CS0_A	H1	8521.47	50.72303571
DDR_CS0_B	E7	6497.901	38.67798214
DDR_CS1_A	K5	3709.747	22.08182738
DDR_CS1_B	C4	9804.398	55.70680682
DDR_DM0_T_A	E28	10138.16	57.60318182
DDR_DM0_T_B	A13	8634.355	49.05883523
DDR_DM1_T_A	C30	12811.85	72.79460227
DDR_DM1_T_B	G13	3349.399	19.03067614
DDR_DM2_T_A	B26	11028.616	62.66259091
DDR_DM2_T_B	E10	6610.179	37.55783523
DDR_DM3_T_A	F20	5356.798	30.43635227
DDR_DM3_T_B	F9	5757.301	32.7119375
DDR_DM4_T_A	E19	6197.823	35.21490341
DDR_DM4_T_B	F17	5983.604	33.99775
DDR_DQ0_A	F30	10950.645	65.18241071
DDR_DQ0_B	G15	3929.259	23.38844643
DDR_DQ1_A	F29	10068.777	59.93319643
DDR_DQ1_B	F15	4575.5	27.23511905
DDR_DQ10_A	F24	6979.386	39.65560227
DDR_DQ10_B	D13	6196.723	35.20865341
DDR_DQ11_A	G22	5066.068	28.78447727
DDR_DQ11_B	E13	5377.908	30.55629545
DDR_DQ12_A	D25	9144.657	54.43248214
DDR_DQ12_B	G12	3838.368	22.84742857



Net Name	Pin name	Conductor Length (microns)	Pindelay (ps)
DDR_DQ13_A	E25	8717.031	49.52858523
DDR_DQ13_B	A10	9295.905	52.81764205
DDR_DQ14_A	B28	12936.409	77.00243452
DDR_DQ14_B	E11	5389.869	32.08255357
DDR_DQ15_A	F23	6816.715	40.57568452
DDR_DQ15_B	F12	4876.489	29.02672024
DDR_DQ16_A	C24	9666.281	57.5373869
DDR_DQ16_B	F11	5100.817	30.36200595
DDR_DQ17_A	E23	7285.748	43.36754762
DDR_DQ17_B	B10	8389.968	49.94028571
DDR_DQ18_A	A28	12402.319	70.46772159
DDR_DQ18_B	A7	10686.932	60.72120455
DDR_DQ19_A	A27	12114.575	68.8328125
DDR_DQ19_B	B8	9370.662	53.24239773
DDR_DQ2_A	D30	11727.891	66.63574432
DDR_DQ2_B	C15	7109.811	40.39665341
DDR_DQ20_A	G21	5267.705	31.3553869
DDR_DQ20_B	D10	6872.506	40.90777381
DDR_DQ21_A	D24	8486.832	48.22063636
DDR_DQ21_B	C8	8369.479	47.55385795
DDR_DQ22_A	E22	7098.918	42.25546429
DDR_DQ22_B	A9	9791.056	58.28009524
DDR_DQ23_A	F21	5882.106	35.01253571
DDR_DQ23_B	G10	6004.565	35.74145833
DDR_DQ24_A	C23	9132.101	54.35774405
DDR_DQ24_B	G9	5986.712	35.63519048
DDR_DQ25_A	D22	7841.115	46.67330357
DDR_DQ25_B	B7	9152.449	52.00255114
DDR_DQ26_A	A24	10714.447	60.87753977



Net Name	Pin name	Conductor Length (microns)	Pindelay (ps)
DDR_DQ26_B	A6	10259.645	61.06931548
DDR_DQ27_A	B23	9608.011	54.59097159
DDR_DQ27_B	C6	9337.075	53.0515625
DDR_DQ28_A	G19	4730.351	28.15685119
DDR_DQ28_B	E8	6478.891	38.56482738
DDR_DQ29_A	E20	6347.344	36.06445455
DDR_DQ29_B	D6	8062.158	45.80771591
DDR_DQ3_A	E29	10543.895	59.90849432
DDR_DQ3_B	D15	6326.669	35.94698295
DDR_DQ30_A	C21	8239.83	49.04660714
DDR_DQ30_B	F8	5058.108	30.10778571
DDR_DQ31_A	D21	7784.167	46.33432738
DDR_DQ31_B	D7	7604.565	45.26526786
DDR_DQ4_A	D28	10663.669	63.47422024
DDR_DQ4_B	F14	4470.868	26.61230952
DDR_DQ5_A	E26	8835.95	50.20426136
DDR_DQ5_B	B13	7815.539	44.40647159
DDR_DQ6_A	G24	5666.848	33.7312381
DDR_DQ6_B	A12	8860.747	52.74254167
DDR_DQ7_A	D27	9947.328	59.21028571
DDR_DQ7_B	E14	5278	31.41666667
DDR_DQ8_A	C27	10517.297	62.60295833
DDR_DQ8_B	C12	7580.736	45.12342857
DDR_DQ9_A	C26	10182.338	60.60915476
DDR_DQ9_B	D12	6393.277	38.05522024
DDR_DQS0_C_A	F26	8872.392	52.81185714
DDR_DQS0_C_B	C14	8162.15	48.58422619
DDR_DQS0_T_A	F27	8828.311	52.54947024
DDR_DQS0_T_B	B14	8189.844	48.74907143



Net Name	Pin name	Conductor Length (microns)	Pindelay (ps)
DDR_DQS1_C_A	B29	13454.781	80.08798214
DDR_DQS1_C_B	C11	8323.833	49.546625
DDR_DQS1_T_A	C29	13455.976	80.09509524
DDR_DQS1_T_B	B11	8305.204	49.4357381
DDR_DQS2_C_A	A25	11550.162	68.75096429
DDR_DQS2_C_B	D9	8492.129	50.5483869
DDR_DQS2_T_A	B25	11562.109	68.82207738
DDR_DQS2_T_B	C9	8524.927	50.7436131
DDR_DQS3_C_A	A22	10478.821	62.37393452
DDR_DQS3_C_B	C5	10441.119	62.14951786
DDR_DQS3_T_A	B22	10442.367	62.15694643
DDR_DQS3_T_B	B5	10459.995	62.261875
DDR_DQS4_C_A	B19	9648.364	57.4307381
DDR_DQS4_C_B	B16	8887.006	52.89884524
DDR_DQS4_T_A	A19	9677.585	57.60467262
DDR_DQS4_T_B	A16	8897.111	52.95899405
DDR_LBD	K1	6897.646	41.05741667
DDR_LBS	K2	6081.527	36.19956548
DDR_RESET_N	D1	10947.106	62.19946591
DDR_TST0_N	J2	7350.471	43.75280357
DDR_TST0_P	J3	7386.455	43.96699405
DDR_ZQ0	D3	8685.76	49.35090909
ESPI0_CLK0	AD11	7229.068	43.03016667
ESPI0_CLK1	AJ12	9221.814	54.89175
ESPI0_CS0	AE12	6884.827	40.9811131
ESPI0_CS1	AG12	8817.675	52.48616071
ESPI0_CS2	AJ13	9023.468	53.71111905
ESPI0_CS3	AG13	8227.043	48.97049405
ESPI0_D0	AF12	7273.62	43.29535714



Net Name	Pin name	Conductor Length (microns)	Pindelay (ps)
ESPI0_D1	AH12	9190.671	54.706375
ESPI0_D2	AD12	6715.943	39.97585119
ESPI0_D3	AE13	6251.296	37.21009524
ESPI0_D4	AF13	7078.727	42.13527976
ESPI0_D5	AE14	5761.596	34.29521429
ESPI0_D6	AD13	6608.633	39.33710119
ESPI0_D7	AK13	10109.081	60.17310119
ESPI0_RDY	AJ14	8975.052	53.42292857
GPIO038	AD3	7379.95	43.92827381
GPIO039	AD4	8136.222	48.42989286
GPIO040	AD2	8082.926	48.11265476
GPIO041	AE1	8990.436	53.5145
GPIO042	AE3	9340.018	55.59534524
GPIO128	AE16	5874.382	34.96655952
GPIO129	AF16	6502.207	38.7036131
GPIO130	AF21	5502.289	32.75172024
GPIO131	AE21	5970.564	35.53907143
GPIO132	AD21	5373.327	31.98408929
GPIO133	AK22	9523.327	56.68647024
GPIO134	AJ22	8682.894	51.68389286
GPIO135	AH22	7907.999	47.07142262
GPIO136	AF22	6728.007	40.04766071
GPIO137	AJ19	8844.851	52.64792262
GPIO138	AK19	8758.146	52.13182143
GPIO139	AD18	5488.653	32.67055357
GPIO140	AE18	6121.191	36.43566071
GPIO145	Y7	9354.785	55.68324405
GPIO152	AH23	34226.298	203.7279643
GPIO153	AC3	8395.517	49.97331548



Net Name	Pin name	Conductor Length (microns)	Pindelay (ps)
GPIO154	AE4	9165.179	54.5546369
GPIO155	AE5	10130.639	60.30142262
GPIO156	AG5	11703.298	69.6624881
GPIO157	AD19	4928.509	29.3363631
GPIO158	AE10	8287.077	49.32783929
GPIO159	AD10	7958.9	47.37440476
GPIO162	AG16	6828.431	40.64542262
GPIO163	AD14	6351.515	37.8066369
GPIO164	AD23	28503.876	169.6659286
GPIO165	AE20	5698.88	33.92190476
GPIO166	AG23	29208.025	173.8572917
GPIO167	AF23	29066.441	173.0145298
GPIO168	AK21	8999.597	53.56902976
GPIO169	AG21	6196.352	36.88304762
GPIO170	AJ23	29201.479	173.8183274
GPIO171	AJ21	8024.768	47.76647619
GPIO172	AC4	8314.584	49.49157143
GPIO173	AG2	11439.985	68.09514881
GPIO174	AG7	9347.462	55.63965476
GPIO175	AD9	7498.819	44.63582738
GPIO176	AC5	7990.566	47.56289286
GPIO177	AG3	9030.47	53.75279762
GPIO178	AH6	11290.116	67.20307143
GPIO179	AG4	13845.549	82.41398214
GPIO180	AE17	5167.107	30.75658929
GPIO181	AJ17	8532.047	50.78599405
GPIO182	AH14	8500.582	50.59870238
GPIO183	AJ18	8567.624	50.9977619
GPIO184	P6	2861.263	17.03132738



Net Name	Pin name	Conductor Length (microns)	Pindelay (ps)
GPIO185	P7	1471.146	8.756821429
GPIO186	AJ9	10952.294	65.19222619
GPIO187	AF18	5761.298	34.29344048
GPIO188	AK17	9030.085	53.75050595
GPIO189	AH18	7544.917	44.91022024
GPIO190	AK3	13309.84	79.2252381
GPIO191	AH3	11560.686	68.81360714
GPIO192	AJ4	12087.845	71.95145833
GPIO193	AJ3	12327.398	73.37736905
GPIO194	AK14	10082.29	60.01363095
GPIO195	AF14	6729.45	40.05625
GPIO196	AF24	30460.281	181.3111964
GPIO197	AE24	25933.079	154.3635655
GPIO198	AD20	4859.952	28.92828571
GPIO199	AG19	7060.536	42.027
GPIO200	AD24	30699.851	182.7372083
GPIO201	AF20	5487.617	32.6643869
GPIO202	AA5	5738.283	34.15644643
GPIO203	AJ6	11494.754	68.42115476
GPIO204	AK11	11112.701	66.14702976
GPIO205	AH15	8731.185	51.97133929
GPIO206	AF19	6037.829	35.93945833
GPIO207	AJ20	8459.772	50.35578571
GPIO208	AH20	7427.609	44.21195833
GPIO211	AK18	8831.739	52.569875
GPIO212	AD16	5884.035	35.02401786
GPIO213	AG20	6694.783	39.84989881
GPIO214	AH19	7432.468	44.24088095
GPIO215	AD17	5431.003	32.32739881



Net Name	Pin name	Conductor Length (microns)	Pindelay (ps)
GPIO217	AK23	29425.345	175.1508631
GPIO219	AC7	7995.963	47.59501786
GPIO247	AJ7	11948.823	71.12394643
GPIO248	AH7	11136.76	66.2902381
GPIO249	AF8	9269.527	55.17575595
GPIO250	AG8	9835.696	58.54580952
GPIO251	AF7	10006.538	59.56272619
GPIO252	AJ8	11576.252	68.9062619
GPIO253	AH8	10600.844	63.1002619
GPIO254	AE8	9043.155	53.82830357
GPIO255	AF9	8751.71	52.0935119
GPIO256	AE9	7493.333	44.60317262
GPIO257	AD8	10326.023	61.46442262
GPIO258	AG9	9559.722	56.90310714
HISS_SCL	N7	2464.329	14.668625
HISS_SDA	N6	3005.047	17.88718452
HISS_SPICK	P4	4723.807	28.11789881
HISS_SPICS	N5	3748.043	22.30977976
HISS_SPIDI	N3	5542.335	32.99008929
HISS_SPIDO	P5	5788.838	34.45736905
HISS_URXD	P1	7421.254	44.17413095
HISS_UTXD	P2	6259.651	37.25982738
LED_ACT	AH11	9627.926	57.30908333
LED_RUN	AJ11	9420.16	56.07238095
MDIO0_CLK	AJ24	9062.325	53.94241071
MDIO0_DATA	AK25	10403.789	61.92731548
MDIO1_CLK	AH1	10408.111	61.95304167
MDIO1_DATA	AJ2	11962.812	71.20721429
MDIO2_CLK	AH4	10999.47	65.47303571



Net Name	Pin name	Conductor Length (microns)	Pindelay (ps)
MDIO2_DATA	AJ5	11721.89	69.77315476
NAND_ALE	U5	6398.92	38.08880952
NAND_CLE	U3	6131.109	36.49469643
NAND_CSN0	T6	3589.21	21.36434524
NAND_CSN1	T4	5086.191	30.27494643
NAND_CSN2	R6	5324.826	31.69539286
NAND_CSN3	R3	5696.073	33.90519643
NAND_DATA0	U6	5262.033	31.321625
NAND_DATA1	V1	7700.432	45.83590476
NAND_DATA2	V2	6669.821	39.70131548
NAND_DATA3	V4	5267.255	31.35270833
NAND_DATA4	V5	4543.094	27.04222619
NAND_DATA5	V6	5935.25	35.32886905
NAND_DATA6	V7	8770.274	52.2040119
NAND_DATA7	W1	8455.08	50.32785714
NAND_DQS	W2	7108.259	42.31106548
NAND_RD	U2	6493.991	38.65470833
NAND_RDY0	U1	8096.372	48.19269048
NAND_RDY1	T7	6755.122	40.20905952
NAND_RDY2	R5	3451.5	20.54464286
NAND_RDY3	R2	6437.98	38.32130952
NAND_WP_N	T2	6472.309	38.52564881
NAND_WR	T3	6224.951	37.05327976
PFI	AH2	11538.635	68.68235119
PMBUS0_CLK	AF6	9194.895	54.73151786
PMBUS0_DATA	AE6	9308.26	55.40630952
PMBUS1_ALERT	AF3	15267.728	90.87933333
PMBUS1_CLK	AF4	9935.354	59.1390119
PMBUS1_DATA	AF5	9454.769	56.2783869



Net Name	Pin name	Conductor Length (microns)	Pindelay (ps)
PMBUS2_CLK	AF11	7999.036	47.61330952
PMBUS2_DATA	AG11	8879.299	52.85297024
PMBUS3_ALERT	AG15	7425.744	44.20085714
PMBUS3_CLK	AD15	6960.633	41.43233929
PMBUS3_DATA	AF15	6397.742	38.08179762
PORN	AB4	7997.457	47.60391071
QL_REFCLK_INM0	T30	7944.715	47.28997024
QL_REFCLK_INM1	T26	6286.096	37.4172381
QL_REFCLK_INP0	T29	7903.728	47.046
QL_REFCLK_INP1	T27	6309.81	37.55839286
QL0_L0_PAD_RXIM	AD29	12115.749	72.11755357
QL0_L0_PAD_RXIP	AD30	12136.205	72.23931548
QL0_L0_PAD_TXOM	AD26	9901.479	58.937375
QL0_L0_PAD_TXOP	AD27	9941.343	59.17466071
QL0_L1_PAD_RXIM	AB29	11160.312	66.43042857
QL0_L1_PAD_RXIP	AB30	11190.753	66.611625
QL0_L1_PAD_TXOM	AB26	8702.534	51.80079762
QL0_L1_PAD_TXOP	AB27	8723.469	51.92541071
QL0_L2_PAD_RXIM	Y29	10027.035	59.68473214
QL0_L2_PAD_RXIP	Y30	10046.713	59.8018631
QL0_L2_PAD_TXOM	Y26	7724.642	45.9800119
QL0_L2_PAD_TXOP	Y27	7725.216	45.98342857
QL0_L3_PAD_RXIM	V29	8923.94	53.11869048
QL0_L3_PAD_RXIP	V30	8937.665	53.2003869
QL0_L3_PAD_TXOM	V26	6505.55	38.7235119
QL0_L3_PAD_TXOP	V27	6543.558	38.94975
QL1_L0_PAD_RXIM	AH29	13138.272	78.204
QL1_L0_PAD_RXIP	AH30	13155.116	78.3042619
QL1_L0_PAD_TXOM	AH26	12524.976	74.55342857



Net Name	Pin name	Conductor Length (microns)	Pindelay (ps)
QL1_L0_PAD_TXOP	AH27	12560.518	74.7649881
QL1_L1_PAD_RXIM	AF29	11968.186	71.23920238
QL1_L1_PAD_RXIP	AF30	11976.231	71.28708929
QL1_L1_PAD_TXOM	AF26	10822.568	64.42004762
QL1_L1_PAD_TXOP	AF27	10821.422	64.41322619
QL2_EXTRESISTOR	AA24	9755.226	58.06682143
QL2_L0_PAD_RXIM	P29	7489.758	44.58189286
QL2_L0_PAD_RXIP	P30	7504.798	44.67141667
QL2_L0_PAD_TXOM	P26	5419.883	32.26120833
QL2_L0_PAD_TXOP	P27	5449.035	32.43473214
QL2_L1_PAD_RXIM	M30	7148.415	42.55008929
QL2_L1_PAD_RXIP	M29	7119.917	42.38045833
QL2_L1_PAD_TXOM	M27	5281.857	31.439625
QL2_L1_PAD_TXOP	M26	5234.411	31.15720833
QL2_L2_PAD_RXIM	K30	7658.948	45.58897619
QL2_L2_PAD_RXIP	K29	7691.776	45.78438095
QL2_L2_PAD_TXOM	K27	5709.625	33.9858631
QL2_L2_PAD_TXOP	K26	5745.013	34.19650595
QL2_L3_PAD_RXIM	H30	8116.71	48.31375
QL2_L3_PAD_RXIP	H29	8166.102	48.60775
QL2_L3_PAD_TXOM	H27	6046.503	35.99108929
QL2_L3_PAD_TXOP	H26	6024.85	35.86220238
RST_MODE	R1	7740.564	46.07478571
RST_OUT_N	AB5	9159.808	54.52266667
RSTN	AA6	10354.608	61.63457143
RTC_CLKIN	AH24	29802.505	177.3958631
SCL0	AA3	7106.712	42.30185714
SCL1	AJ15	8904.227	53.00135119
SDA0	AA2	7663.647	45.61694643



Net Name	Pin name	Conductor Length (microns)	Pindelay (ps)
SDA1	AK15	9987.201	59.447625
SFC0_HOLD_DQ3	Y4	8552.898	50.91010714
SFC0_HOLD1_DQ3	Y5	9076.87	54.0289881
SFC0_RST	Y6	5665.467	33.72301786
SFC0_SPI_DQ0	Y2	11152.81	66.38577381
SFC0_SPI_DQ1	W7	7452.664	44.36109524
SFC0_SPICLK	W3	6647.364	39.56764286
SFC0_SPICS0	W4	5566.178	33.1320119
SFC0_SPICS1	W5	4925.4	29.31785714
SFC0_WP_DQ2	Y3	6492.591	38.646375
SPICK0	AK9	11600.587	69.0511131
SPICSN0_0	AH10	9656.121	57.47691071
SPICSN0_1	AF10	7896.669	47.00398214
SPIDIO	AK10	11598.547	69.03897024
SPIDO0	AJ10	10641.558	63.34260714
SYS_CLKIN	AG24	31112.395	185.1928274
TCK	AK5	11915.856	70.92771429
TDI	AK7	12912.074	76.85758333
TDO	AD6	8756.871	52.12423214
TEST_MODE0	M3	5226.932	31.11269048
TEST_MODE1	N2	5743.472	34.18733333
TMS	AD7	7440.497	44.28867262
TRSTN	AK6	12173.197	72.45950595
URXD0	AJ16	9261.609	55.128625
URXD1	AF17	5886.415	35.03818452
USB_DM1	AK27	34553.716	205.676881
USB_DM0	AF1	8633.228	51.3882619
USB_DP1	AK28	34566.097	205.7505774
USB_DP0	AF2	8678.402	51.65715476



Net Name	Pin name	Conductor Length (microns)	Pindelay (ps)
USER_DEFINE_RSTN	AC2	8341.193	49.64995833
UTXD0	AH16	8264.552	49.1937619
UTXD1	AG17	7003.456	41.6872381
WDG_MODE	N1	7272.849	43.29076786
WDG_MR	AB1	9513.832	56.62995238
WDG_RSTN	AB6	8677.481	51.65167262
WDG_WDI	AB2	8153.739	48.53416071



10 热设计参考

10.1 工作温度参数

须知

芯片结温如高于极限工作结温最大值、或者低于环境温度最小值，芯片都不能正常工作，并可能引起芯片物理损伤。

表 10-1 工作温度参数

参数	符号	最小值	最大值	单位
可工作环境温度	T_A	-40	85	°C
长期工作结温	T_{JL}	-40	105	°C
极限工作结温	T_{JS}	-40	125	°C



须知

- 环境温度：环境温度是指芯片处的环境温度，不一定等价于单板或者系统的环境温度。环境温度参数仅用于单板热设计粗略评估，该参数不能直接用于芯片在系统和单板是否可靠工作的判据，芯片正常工作温度需以芯片结温是否超标做为判据。单板和系统的热设计需确保芯片产生的热量能通过芯片封装、单板（系统）散热路径被有效散发到系统的工作环境中去，确保芯片的结温不超出芯片长期工作结温范围。
- 长期工作结温：正常工作条件下芯片的结温应该不超过105℃，且芯片结温应该不低于-40℃（长期工作结温参数的最小值），否则会导致芯片寿命会缩减。
- 极限工作结温：Hi309a芯片的极限工作结温的最大值为125℃，任何条件下芯片的结温都不能大于该数值，否则芯片不能正常工作，并可能引起芯片物理损伤。
- 短期工作结温：芯片可短时间工作在105℃（长期工作结温参数的最大值）和125℃（极限工作结温最大值）之间，但时长不能超过寿命的5%，否则可能缩短芯片使用寿命。
- Hi309a Tsensor存在的两个问题：AVDD18_TSENSOR_HISS_FIX为Tsensor1电源、AVDD18_TSENSOR_AP_FIX为Tsensor0电源，若要两个Tsensor都使用，需要对应的两个电源同时上电；
 - 如果不希望使用AVDD18_TSENSOR_HISS_FIX电源，则只有Tsensor0能正常工作，最差情况下，Tsensor0结温读值比芯片最高结温点要低2℃。
 - 若两个Tsenosr同时使用，最差情况下，两个Tsensor中较高的温度值比芯片最高结温点要低1℃。

10.2 封装热阻

须知

热阻基于JEDEC JESD51-2标准给出，应用时的系统设计及环境可能与JEDEC JESD51-2标准不同，需要根据应用条件作出分析。

表 10-2 Hi309a 芯片的封装热阻

参数	符号	数值	单位
Junction-to-case thermal resistance	θ_{JC}	0.41	℃/W
junction-to-ambient thermal resistance	θ_{JA}	6.07	℃/W
Junction-to-board thermal resistance	θ_{JB}	5.13	℃/W

其中： θ_{JA} ， θ_{JB} 和 θ_{JC} 是在JEDEC标准下的热阻参数。

节温、壳温、环境温度与热阻参数的关系如下：

- $\theta_{JA} = (T_J - T_A) / P$
- $\theta_{JB} = (T_J - T_B) / P$
- $\theta_{JC} = (T_J - T_C) / P$

其中： T_J 为节温； T_C 为壳温； T_B 为PCB温度； T_A 为环境温度； P 为芯片总功耗。

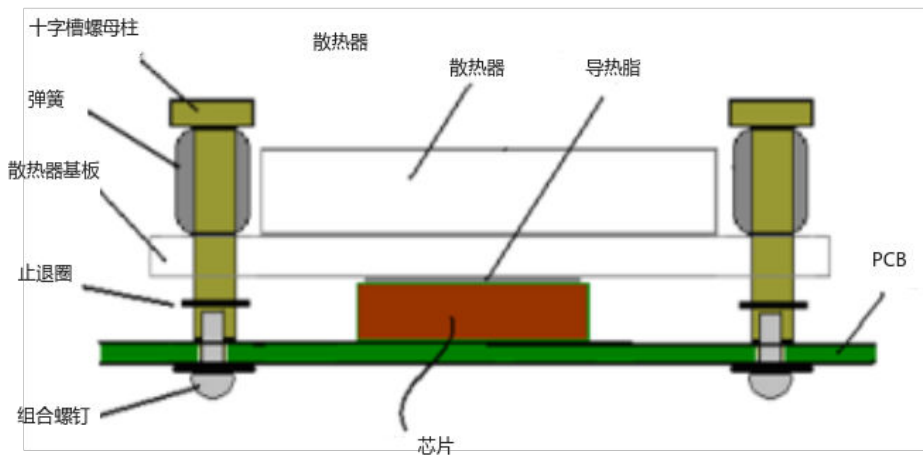
说明

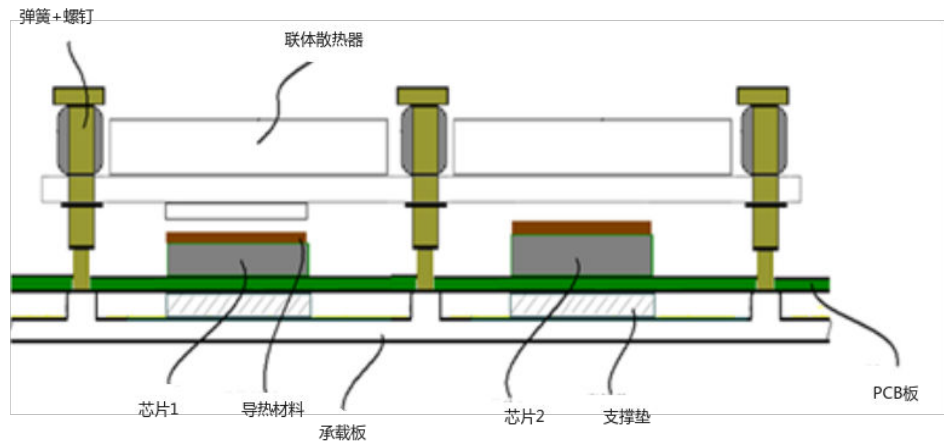
Theta-Jc是属于JEDEC条件下的理论值，为了更接近实际情况，系统热仿需要采用Power map +结构化封装模型进行仿真，Hi309a提供结构化封装散热模型。详见《Hi309a_Package_Thermal_Model_Resin_TIM_V1.xlsx》

10.3 芯片对散热器设计的 Guideline

- 芯片外置散热器安装方式要求
 - 为增强FCBGA芯片散热能力，FCBGA芯片集成散热盖(Lid)外部表面允许额外加装散热器或其他近似结构件，但所加装的外部散热器或其他近似结构件应通过机械固定方式安装到PCB板或其他固定载体上，同时确保芯片Lid所受外力均衡。禁止使用非机械固定方式将外部散热器或其他近似结构件附着在芯片Lid表面，非机械固定方式使外部散热器或其他近似结构件所受外力全部传递至芯片Lid侧，Lid发生脱落的风险较大。
 - 推荐使用的机械固定安装方式：弹簧+螺钉结构安装、专用金属扣具安装、卡座安装等。

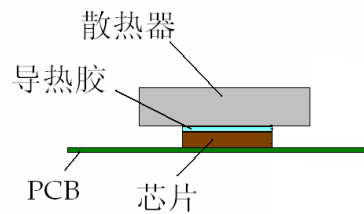
图 10-1 推荐的安装方式





- 禁止使用的非机械固定安装方式：胶粘接安装等。特殊情况下，若必须采用非机械固定方式进行散热器或其他近似结构件安装，产品设计人员需要根据产品的实际使用场景进行芯片lid脱落风险评估以及进行相应的测试验证保证不会发生lid脱落的风险。在产品使用中，需要有完善的使用规范来避免散热器直接受到外力的作用而发生lid脱落。

图 10-2 禁止的安装方式





11 芯片焊接工艺

11.1 概述

无

11.2 元器件包装及存储

元器件包装及存储如下：

- 表贴元器件包装类型：盘式（surface mount device packing type: tray）。
- 温度：10℃~30℃（Temperature: 10℃~30℃）。
- 相对湿度：不大于75%（Relative humidity: ≤75%）。
- 空气：86kPa~106kPa，干燥通风，无腐蚀性气体（Air: 86~106KPa, dry and ventilated with no toxic gas）。

11.3 包装材料

使用抗静电材质之材料包装。

11.4 焊接方式

可应用的焊接方法：回流焊。

11.5 焊接温度

Hi309a的焊接温度如[图11-1](#)所示。

图 11-1 焊接温度曲线图

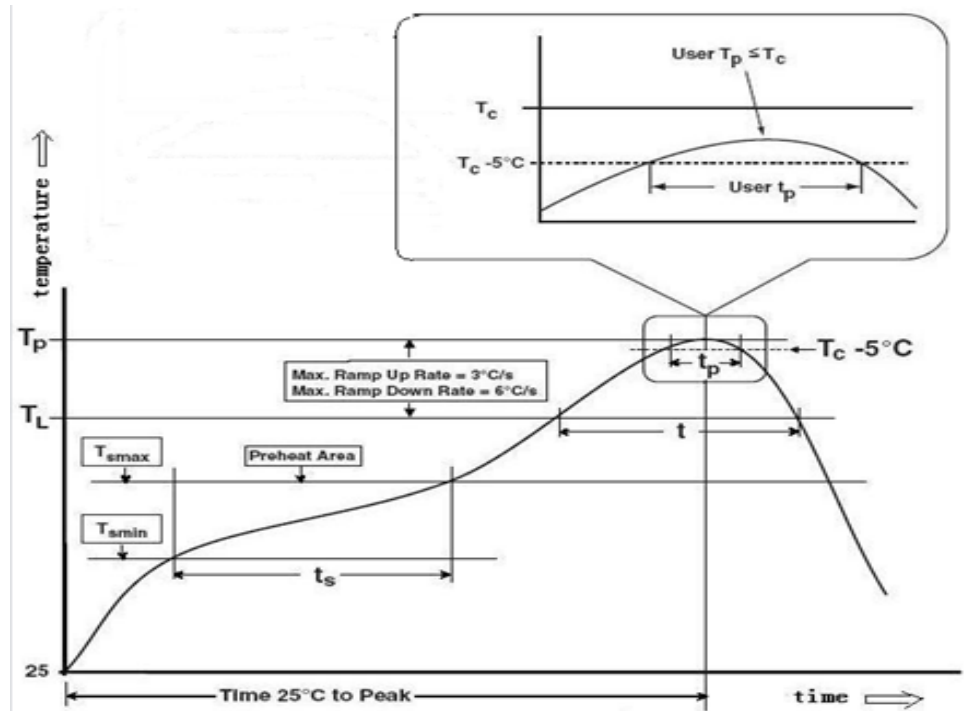


表 11-1 温度曲线图中各个参数说明

曲线变量	参数设置
平均温升速率 (TL ~ TP)	≤15°C/sec
预热设置	150°C
最小温度设置 (T _{Smin})	200°C
最高温度设置 (T _{Smax})	60sec ~ 180sec
时间设置 (最小 ~ 最大, t _s)	
高温设置	217°C
温度设置 (T _L)	60sec ~ 150sec
时间设置 (t _L)	
最高温度设置 (Peak Temperature, TP)	245±5°C
维持在最高温度±5°C范围内的时间设置 (t _P)	≤30sec
降温速率	≤3°C/sec
从25°C至最高温的温度爬升时间设置	≤480sec